

高品质焊接工艺介绍及案例分析

一博科技2020年度研讨会



演讲人：罗青



- 1 Chip焊盘封装设计对焊接的影响
- 2 PCB拼板及元件布局对焊接的影响
- 3 如何提升器件的焊接强度
- 4 40G高频连接器焊接
- 5 芯片叠层焊接工艺
- 6 国产化芯片焊接工艺

1 Chip焊盘封装设计对焊接的影响

演讲人：罗 青

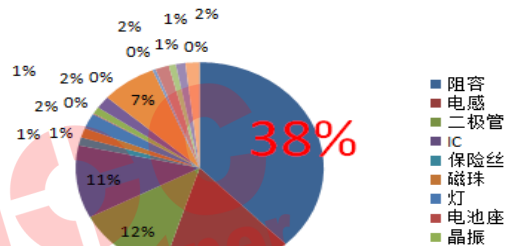




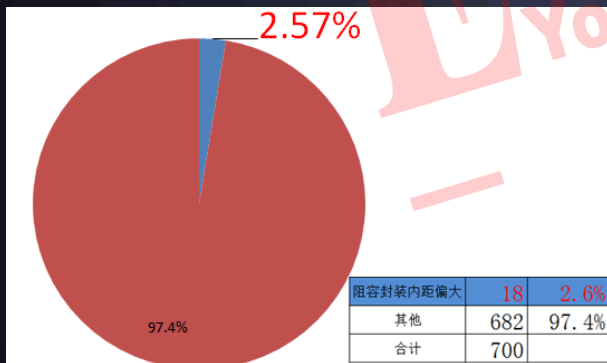
Chip 不良占比数据

物料类别	假焊	偏移	立碑	连锡	其他	小计	比率
阻容	183	85	63	2	166	573	37.80%
电感	17	215	2	0	19	259	17.08%
按键/开关	14	3	0	0	6	29	1.91%
模块	0	0	0	0	0	0	0.00%
排插/连接器	11	52	0	30	1	109	7.19%
排阻	0	0	0	0	0	6	0.40%
三极管	0	7	0	0	0	27	1.78%
钽/铝电容	0	9	0	0	3	14	0.92%
天线座	0	16	0	0	0	19	1.25%
钢柱/弹片	0	0	0	0	0	0	0.00%
座子/卡座	5	12	0	1	6	28	1.85%
合计	319	538	90	73	234	1516	
比率	21.04%	35.49%	5.94%	4.82%	15.44%	100.00%	

不良分布图-元件类别

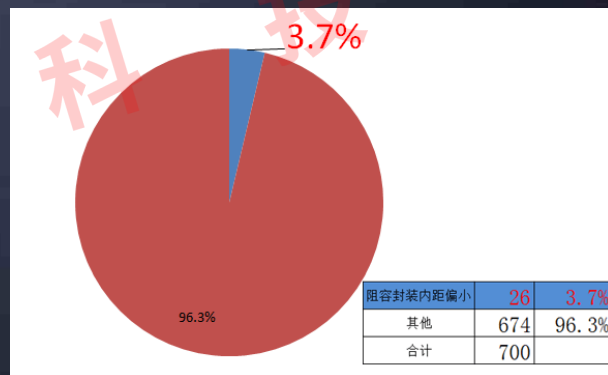


• 阻容不良占比37.8%



• 阻容封装内距偏大出现单数占比2.6%

• 阻容不良占比37.8%



• 封装内距偏小出现单数占比3.7%



电容立碑过程1



贴装



助焊剂活化
锡料坍塌向外
扩散



焊锡融化，焊
锡向物料端子
爬升，物料高
度下沉



焊锡两端牵引
力不一致，右
侧向外牵引力
大，左端翘起



电容立碑过程1





电容立碑过程2



贴装



助焊剂活化
锡料坍塌向外
扩散



焊锡融化，焊
锡向物料端子
爬升，物料高
度下沉



焊料融化时间
不一致，先融
化左端牵引力
大，元件被拉
翘起



电容立碑过程2





电阻锡珠产生过程



贴装



助焊剂活化
锡料坍塌向外
扩散



焊锡融化，焊
锡收缩并向物
料端子爬升，
物料高度下沉



元件本体下多余焊
锡未能收缩至焊端，
元件下沉时，焊锡
被挤压至元件侧面
形成锡珠



电阻锡珠产生过程





如何降低立碑、锡珠

- … 是否可以降低向外牵引力影响？
- 答：
- … 是否可以改善牵引力的方向？
- 答：
- … 是否可以让两个焊端受热不均的风险降低？
- 答：
- … 是否可以减少元件底部的焊锡量，降低锡珠风险了？
- 答：



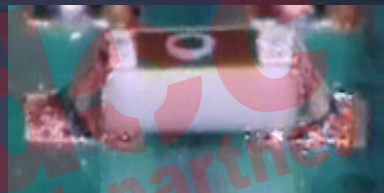
电阻焊接中的自对中归位过程



贴装向右移位



助焊剂活化
锡料坍塌向外
扩散



焊锡融化，焊
锡收缩并向物
料端子爬升，
物料高度下沉



右端焊料融化
向电极扩散时，
向左形成牵引
力，且元件自
重保障不会被
拉翘起

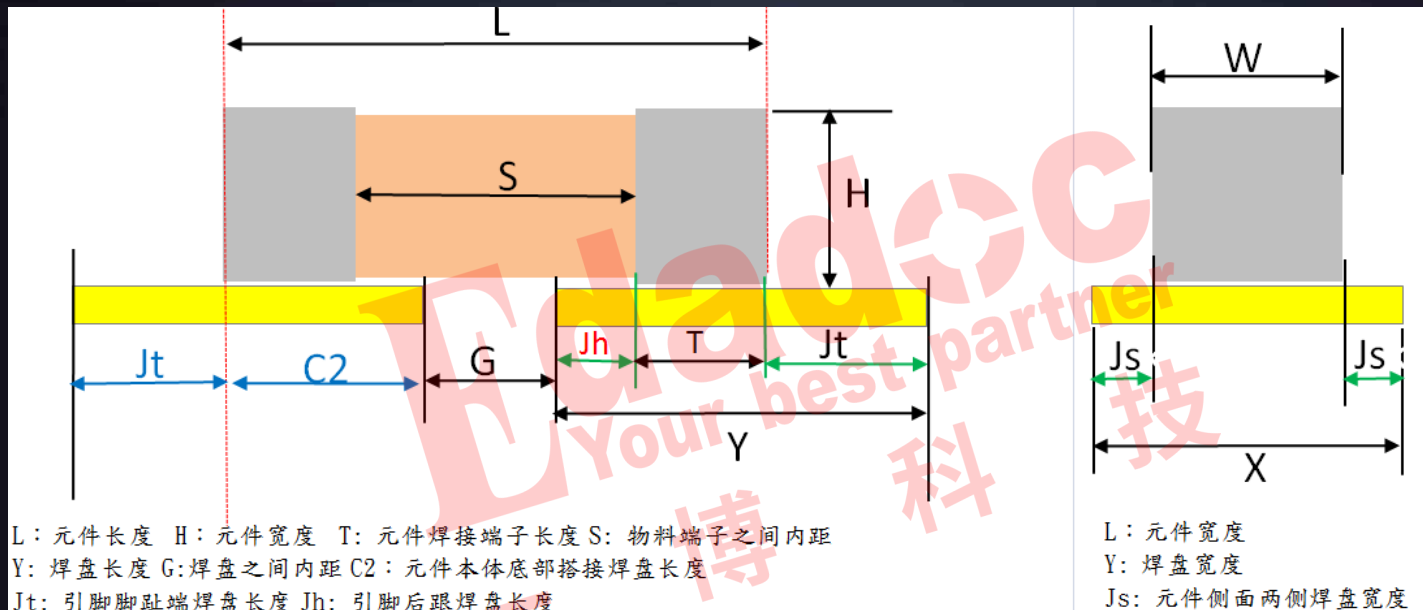


电阻焊接中的自对中归位过程





立碑、锡珠产生原因

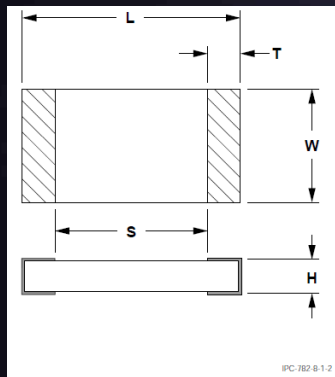


- $Jt \geq C2$ 时易产生向外牵引力，导致立碑、虚焊、移位；
(焊锡印刷居中、贴装居中 $Jt = Jt$, $Jt = C2$, 牵引力一致)
- $Jh > 0.15\text{mm}$ ，锡膏坍塌外溢时，焊锡向焊接端回收困难，易引起锡珠



Chip物料封装尺寸

IPC-SM-782A 8-1-2 8-2-2 物料尺寸

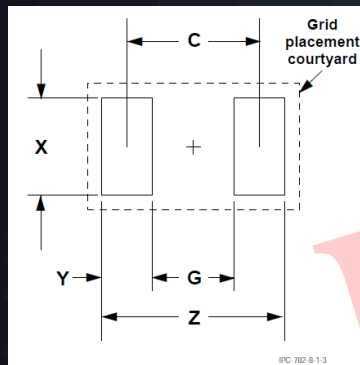


mm [in] Component Identifier	L		S		W		T		H
	min	max	min	max	min	max	min	max	max
1005 [0402]	1.00	1.10	0.40	0.70	0.48	0.60	0.10	0.30	0.40
1608 [0603]	1.50	1.70	0.70	1.11	0.70	0.95	0.15	0.40	0.60
2012 [0805]	1.85	2.15	0.55	1.32	1.10	1.40	0.15	0.65	0.65
3216 [1206]	3.05	3.35	1.55	2.32	1.45	1.75	0.25	0.75	0.71
3225 [1210]	3.05	3.35	1.55	2.32	2.34	2.64	0.25	0.75	0.71

Component Identifier (mm) [in]	L		S		W		T		H
	min	max	min	max	min	max	min	max	max
1005 [0402]	0.90	1.10	0.30	0.65	0.40	0.60	0.10	0.30	0.60
1310 [0504]	1.02	1.32	0.26	0.72	0.77	1.27	0.13	0.38	1.02
1608 [0603]	1.45	1.75	0.45	0.97	0.65	0.95	0.20	0.50	0.85
2012 [0805]	1.80	2.20	0.30	1.11	1.05	1.45	0.25	0.75	1.10
3216 [1206]	3.00	3.40	1.50	2.31	1.40	1.80	0.25	0.75	1.35
3225 [1210]	3.00	3.40	1.50	2.31	2.30	2.70	0.25	0.75	1.35
4532 [1812]	4.20	4.80	2.30	3.46	3.00	3.40	0.25	0.95	1.35
4564 [1825]	4.20	4.80	2.30	3.46	6.00	6.80	0.25	0.95	1.10

Chip焊盘封装设计尺寸

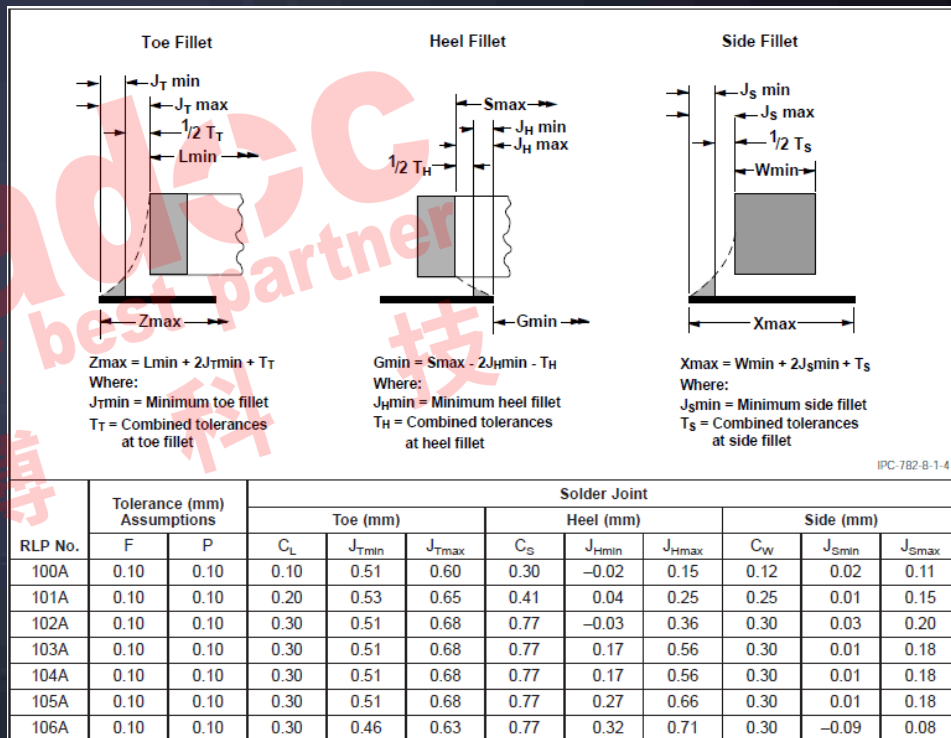
IPC-SM-782A 8-1-3 焊盘尺寸



IPC-782-8-1.3

RLP No.	Component Identifier (mm) [in.]	Z (mm)	G (mm)	X (mm)	Y (mm)	C (mm)	Placement Grid (No. of Grid Elements)
					ref	ref	
100A	1005 [0402]	2.20	0.40	0.70	0.90	1.30	2x6
101A	1608 [0603]	2.80	0.60	1.00	1.10	1.70	4x6
102A	2012 [0805]*	3.20	0.60	1.50	1.30	1.90	4x8
103A	3216 [1206]*	4.40	1.20	1.80	1.60	2.80	4x10
104A	3225 [1210]*	4.40	1.20	2.70	1.60	2.80	6x10

IPC-SM-782A 8-1-4 焊盘尺寸补充说明



RLP No.	Tolerance (mm) Assumptions		Solder Joint								
			Toe (mm)			Heel (mm)			Side (mm)		
	F	P	C_L	$J_{T \text{ min}}$	$J_{T \text{ max}}$	C_S	$J_{H \text{ min}}$	$J_{H \text{ max}}$	C_W	$J_{S \text{ min}}$	$J_{S \text{ max}}$
100A	0.10	0.10	0.10	0.51	0.60	0.30	-0.02	0.15	0.12	0.02	0.11
101A	0.10	0.10	0.20	0.53	0.65	0.41	0.04	0.25	0.25	0.01	0.15
102A	0.10	0.10	0.30	0.51	0.68	0.77	-0.03	0.36	0.30	0.03	0.20
103A	0.10	0.10	0.30	0.51	0.68	0.77	0.17	0.56	0.30	0.01	0.18
104A	0.10	0.10	0.30	0.51	0.68	0.77	0.17	0.56	0.30	0.01	0.18
105A	0.10	0.10	0.30	0.51	0.68	0.77	0.27	0.66	0.30	0.01	0.18
106A	0.10	0.10	0.30	0.46	0.63	0.77	0.32	0.71	0.30	-0.09	0.08

Chip焊盘封装设计的影响

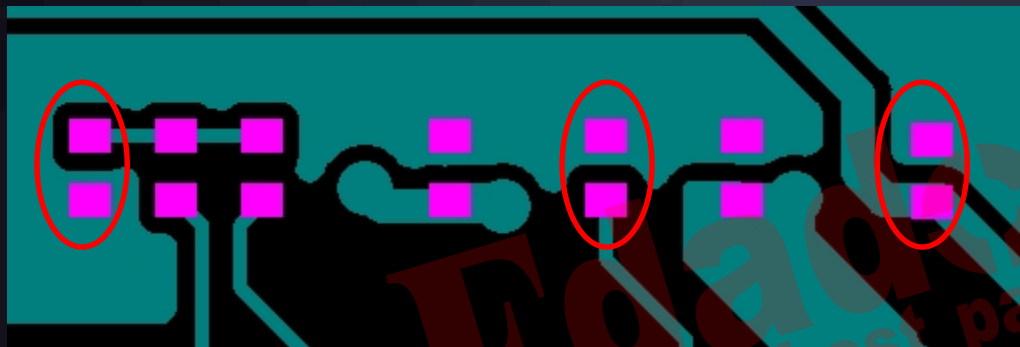
类别	电阻							电容、电感、磁珠						
	Jh (mm)	H (mm)	Jt (mm)	T (mm)	X (mm)	Y (mm)	G (mm)	Jh (mm)	H (mm)	Jt (mm)	T (mm)	X (mm)	Y (mm)	G (mm)
0603 (0201)	0.025	0.2	0.1	0.15	0.3	0.3	0.2	0.025	0.3	0.15	0.15	0.30 ~+0.05	0.3	0.2
1005 (0402)	0.05	0.3	0.3	0.2	0.50 ~+0.05	0.5	0.38	0.05	0.6	0.3	0.2	0.50 ~+0.1	0.5	0.38
1608 (0603)	0.05	0.4	0.4	0.25	0.8 ~+0.05	0.8	0.7	0.05	0.85	0.45	0.25	0.8 ~+0.1	0.8	0.6
2125 (0805)	0.1	0.46	0.46	0.35	1.25 ~+0.15	1	0.9	0.1	1.1	0.55	0.5	1.25 ~+0.15	1	0.8
3216 (1206)	0.1	0.48	0.48	0.5	1.60 ~+0.1	1.2	1.8	0.1	1.35	0.7	0.65	1.60 ~+0.2	1.4	1.6
3225 (1210)	0.1	0.48	0.48	0.5	2.5 ~+0.1	1.2	1.8	0.1	1.35	0.7	0.65	2.5 ~+0.2	1.4	1.6

注：1 电阻本体内距比电容内距稍大，0603以上阻容略作区分，有利于锡珠控制；
 2 电阻焊接面为2个，电容焊接面4个，在焊盘宽度上做区分有利于电容立碑和电阻锡珠控制；
 3 电容焊盘做成椭圆形，有利于钢网制作时区分阻容独立设计开孔尺寸，降低假焊、立碑、锡珠问题，且更利于电容有效肥锡。



Chip焊盘封装设计的影响

散热不对称改善:



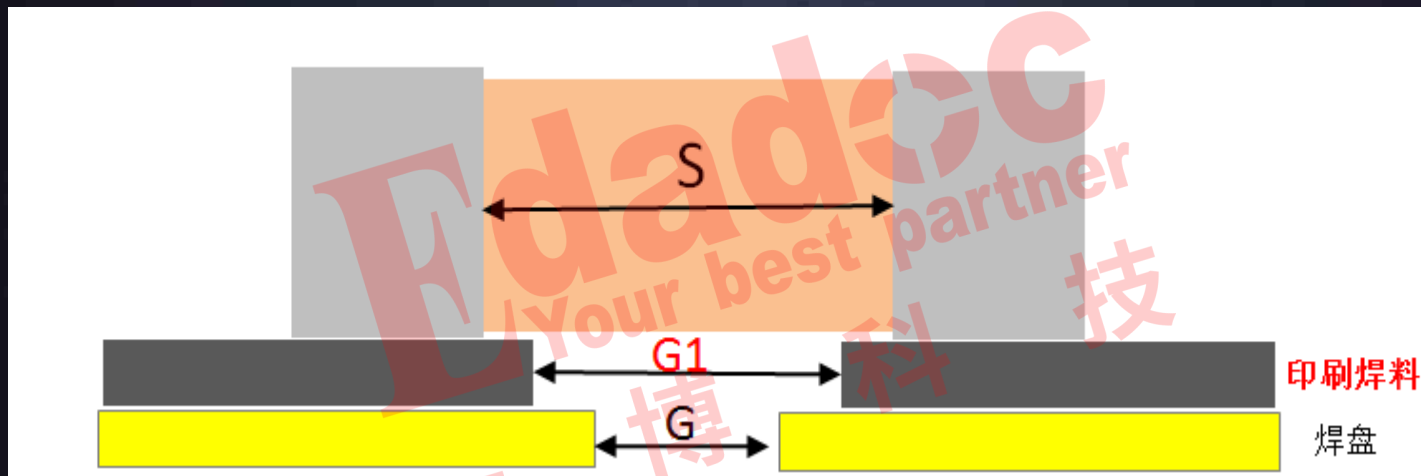
问题点：焊盘两端散热不对称，容易导致立碑；（焊盘两端走线或覆铜不均，热容量不一致）



改善建议：针对0603以下元件焊盘 如左图方式修改焊盘与铜箔连接方式

Chip焊盘封装设计的影响

锡珠不对称改善:

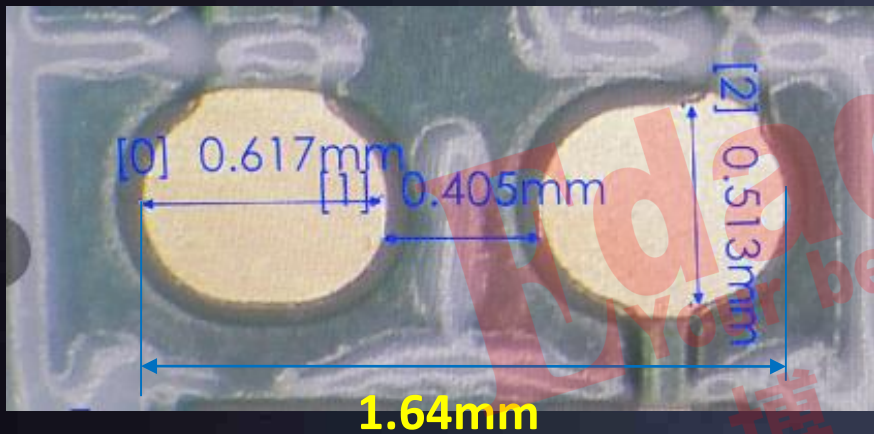


- $S > G1 > G$

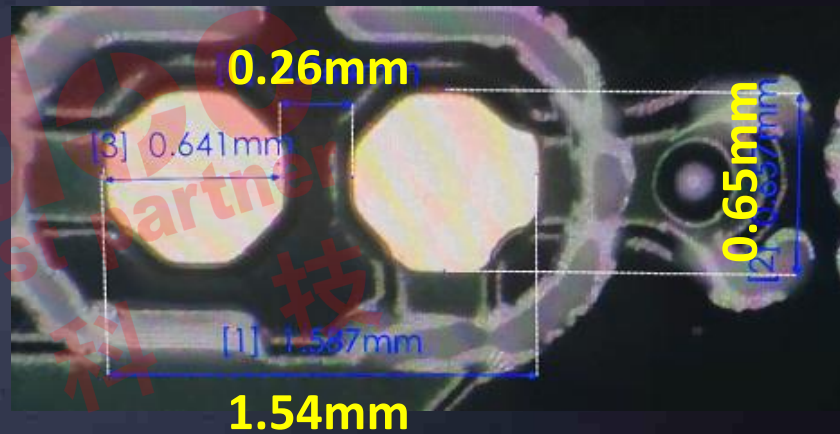
焊盘设计理想前提下, 钢网开孔尺寸上做内切处理

Chip焊盘封装设计的影响

A 客户 0402电容焊盘设计



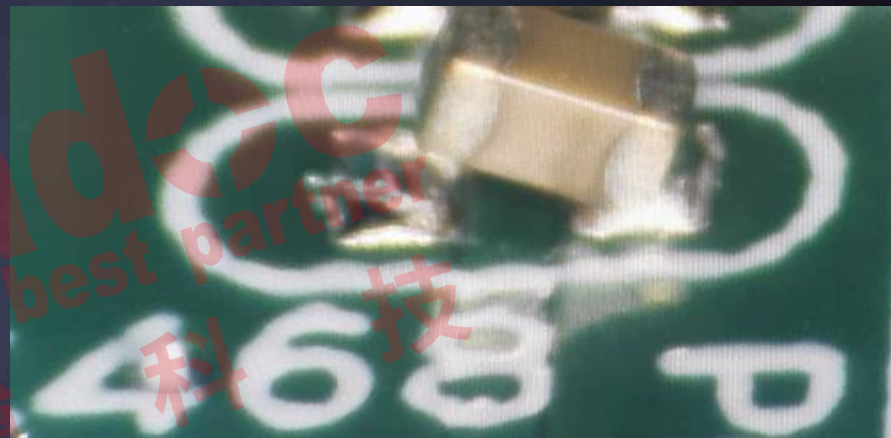
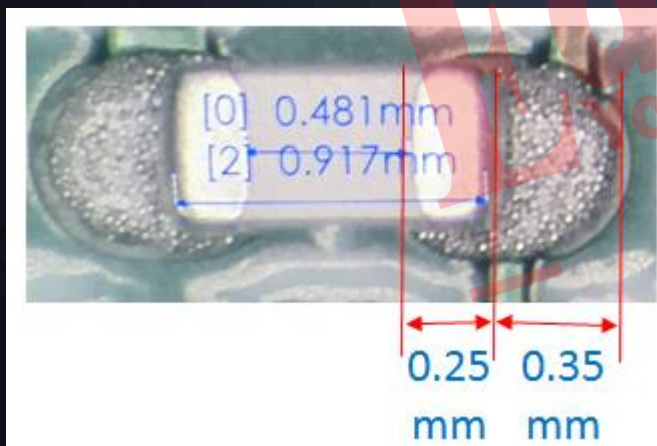
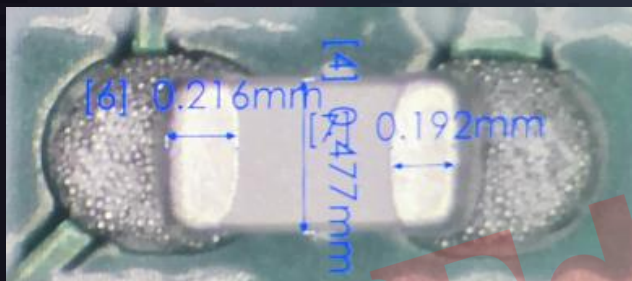
B 客户 0402电容焊盘设计



•如上哪种焊盘更加合理，更容易产生虚焊、立碑不良吗？

Chip焊盘封装设计的影响

A 客户 0402电容焊盘设计



• 仅仅焊盘长度方向比常规设计多0.1mm，该产品0402电容不良率0.36%，

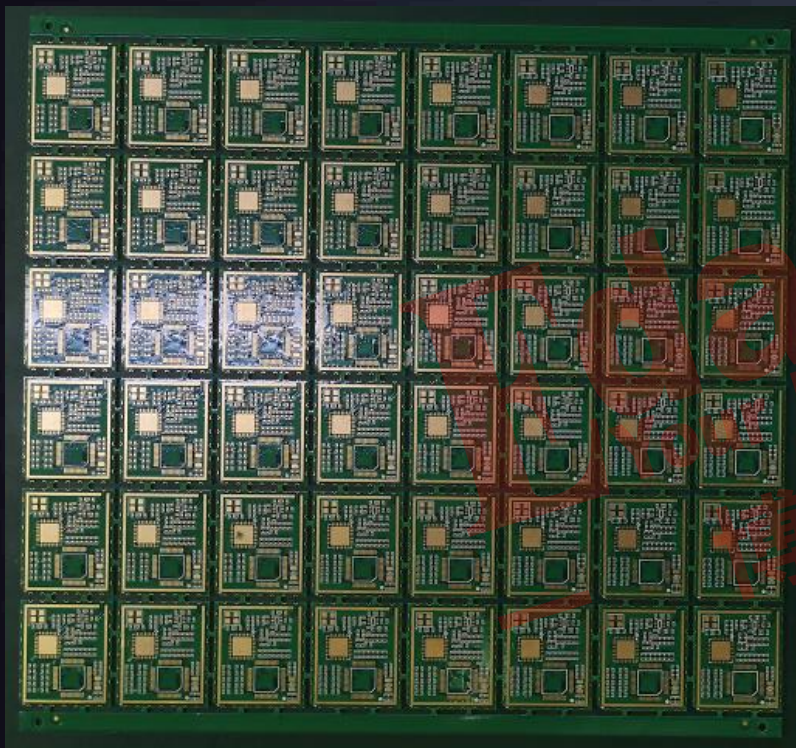
• 0.35mm > 0.25mm，向外牵引力大

2 PCB拼板及常见元件布局对焊接影响

演讲人：罗 青



PCB拼板引起的常见问题点



拼板特点

PCB尺寸：190*180*1.0mm;

拼板数：48拼（8*6）

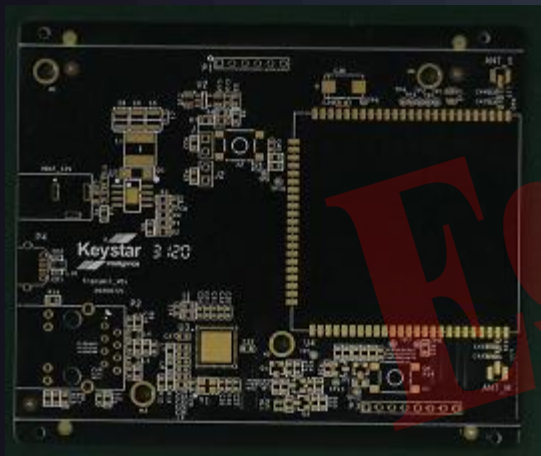
点数：2496（52*48）

Pitch：0.5mm QFN

问题点：

PCB变形，拼板数量多，公差大，影响印刷精度；

PCB拼板引起的常见问题点



拼板特点

PCB尺寸：100*82*1.6mm;

拼板数：单拼

元件数：162点

Pitch：0.5mm QFN+1.27mm模块

分歧：

PCB总元件数量影响贴装效率

单线每小时贴装点数

69000CPH，162颗元件情况下，

理论周期9S/PCS，实际印刷瓶

颈20S，轨道运输3S，贴装效

率损失>50%

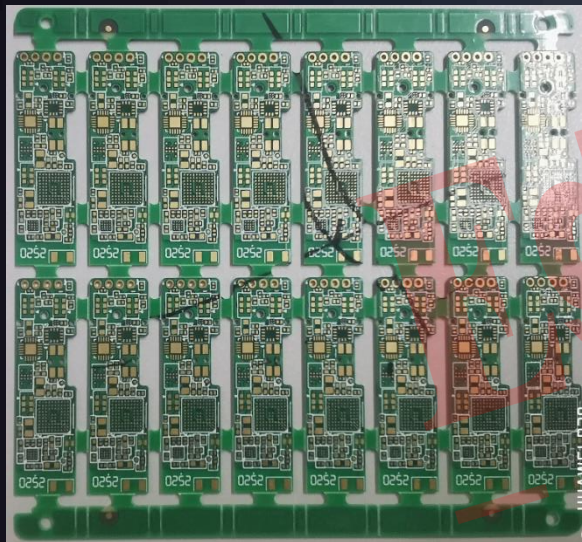


PCB拼板建议

最小元件间距	单板尺寸	允许拼板方式	备注
/	>长250*宽200	单拼	
/	长250*宽200<PCB<长250*宽150	最大拼板250*200	NXT设备允许宽度250mm (如须带夹具贴装须减少30mm)
Pitch>0.5	长250*宽150<PCB<长100*宽50	最大拼板250*200	
	长100*宽50<PCB	最大拼板200*150	
Pitch 0.5	长250*宽150<PCB<长100*宽50	最大拼板250*150	
	长100*宽50<PCB	最大拼板200*100	
Pitch≤0.4	长250*宽150<PCB<长100*宽50	最大拼板250*150 最大拼板数4拼	超出4拼时, PCB制板工差影响印刷对位精度
	长100*宽50<PCB	最大拼板100*100 允许一个方向多拼, 另一方向2拼	双方向多拼时, PCB制板工差影响印刷对位精度



PCB拼板案例分析



拼板特点

PCB尺寸: 90*85*1.2mm;

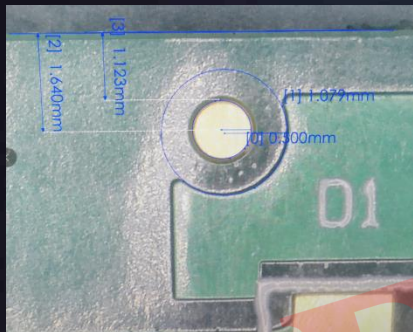
拼板数: 16拼 (8*2)

元件数: 单板248颗

Pitch: 0.4mm BGA +0201 元件

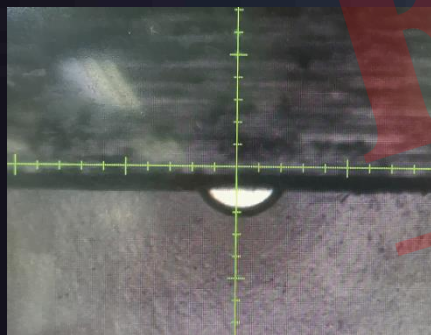
PCB尺寸<100*100, 且仅一个方向多拼, 满足生产精度要求

Marker 基准点常见问题



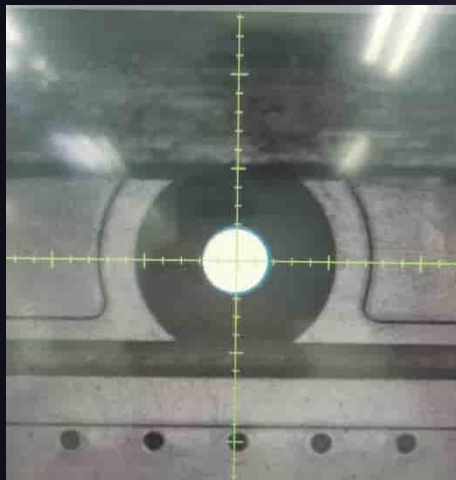
Marker 位置：距离板边1.2mm

Marker 尺寸：基准点直径1.0mm，
对照区域（阻焊开窗）直径1.1mm



Marker 被机器轨道夹住，无法有效识别

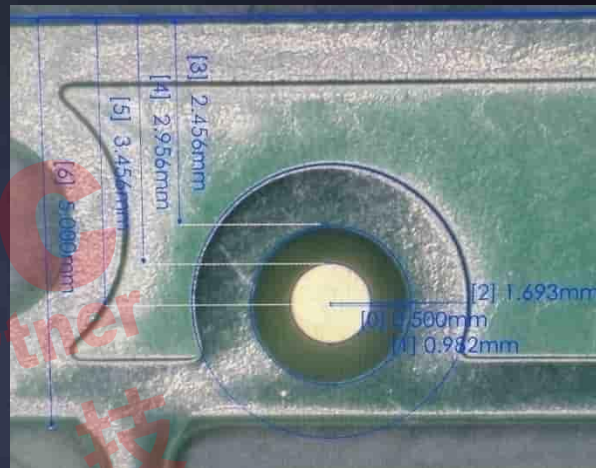
Marker 基准点设置要求



轨道宽度：
 $2.0 \pm 0.2\text{mm}$



Marker尺寸：基准点直径1mm，对照区域直径3mm，位置：基准点中心与板边3.5mm；参照区域板边2.0mm

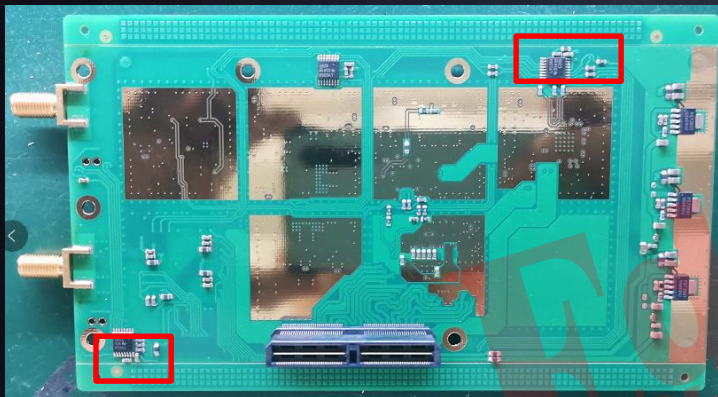


Marker尺寸：基准点直径1mm，对照区域直径2mm，位置：基准点中心与板边3.5mm；参照区域板边2.5mm

轨道夹具对照区域0.2mm，但不影响参照



PCB工艺边” v-cut” 与相邻元件布局

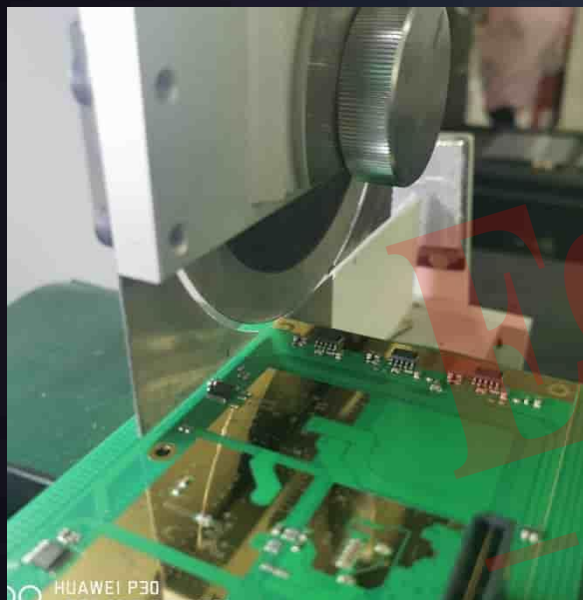


问题点:

- 1 元件与v-cut 距离0.5mm, 引起干涉;
- 2 距离不足3mm, 分板应力易导致焊点开裂
- 3 元件与板边同水平方向, 受应力影响较大, 且后续容易撞件



PCB工艺边” v-cut” 与相邻元件布局



1分板刀片厚度1mm；作业安全距离
2mm

2 应力影响区域：
阻容类3mm；
BGA、芯片类5mm

3 如何提高器件的焊接强度

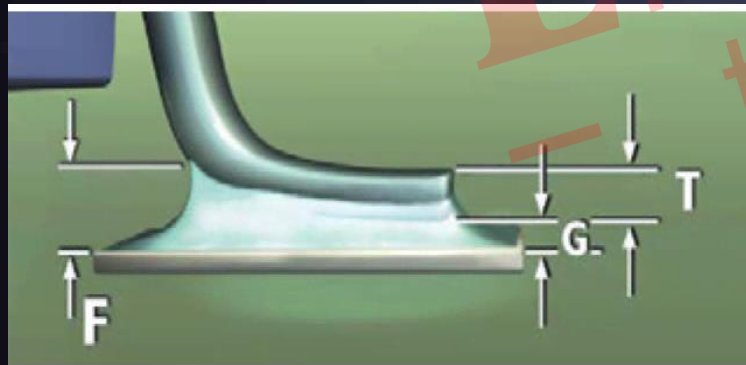
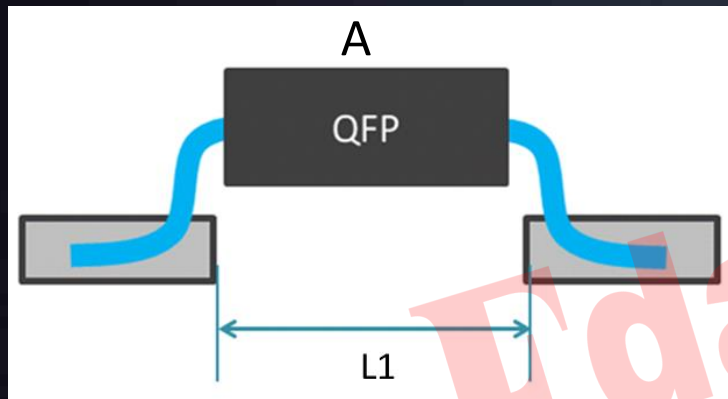
—博经典案例系列



演讲人：罗青



IPC-A-610G标准要求



可接受 - 3级

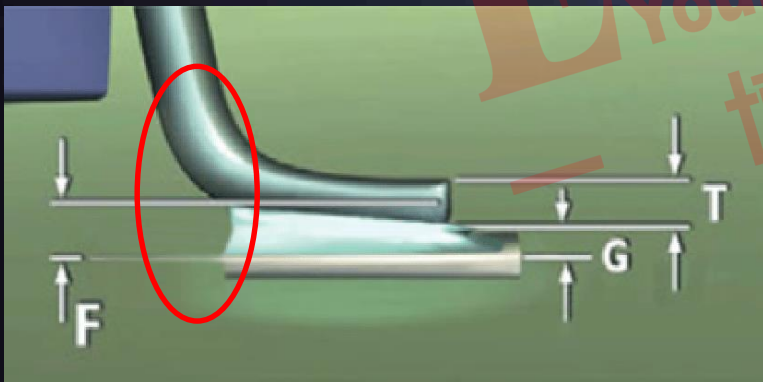
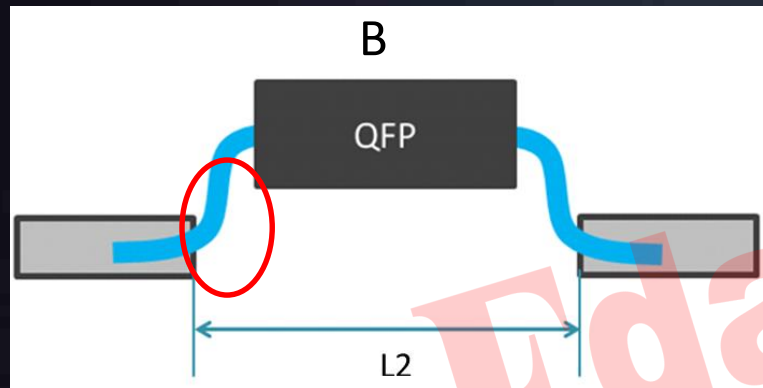
- 最小跟部填充高度(F)等于焊料厚度(G)加连接侧的引线厚度(T)。

可接受 - 1, 2, 3级

- 对于趾部下倾的引线, 见图8-103, 最小跟部填充高度(F)至少延伸至引线弯曲处外弧线的中点。



IPC-A-610G标准要求



缺陷-3级

- 最小跟部填充高度(F)小于焊料厚度(G)加连接侧的引线厚度(T)。

缺陷-1, 2, 3级

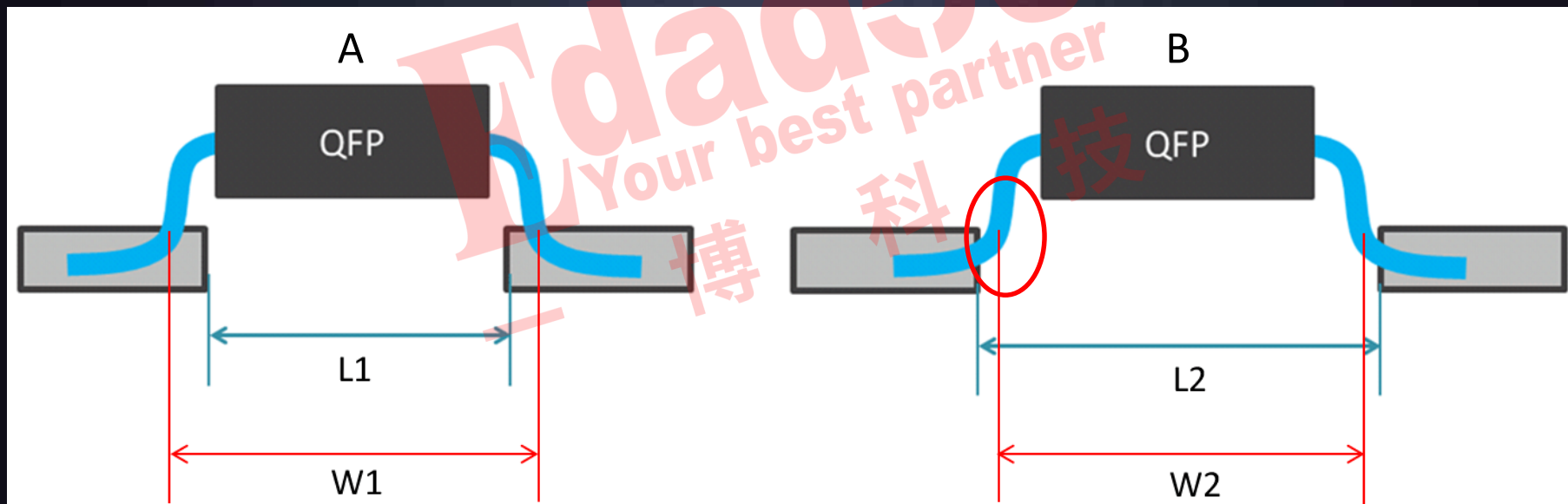
- 对于趾部向下倾的引线，最小跟部填充高度(F)未延伸至引线弯曲处外弧线的中点。

哪种设计更符合标准要求

大家在后续设计中会使用哪种方案呢？

L1: A焊盘内距; W1: A器件引脚间距; 图例中W1大于L1

L2: B焊盘内距; W2: B器件引脚间距; 图例中W2小于L2



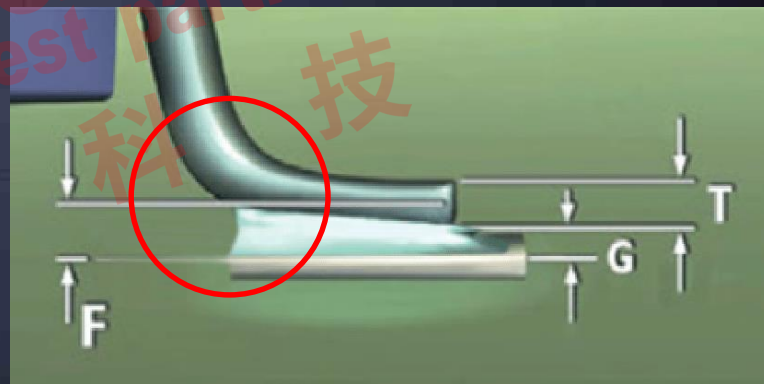
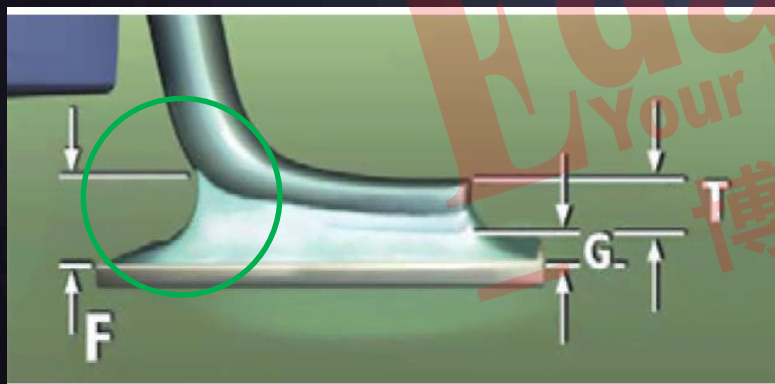
哪种设计更符合标准要求

大家在后续设计中会使用哪种方案呢？

A器件引脚根部锡量充足、饱满，焊接强度良好；
B器件引脚根部锡量不足、少锡，焊接强度较差。

A

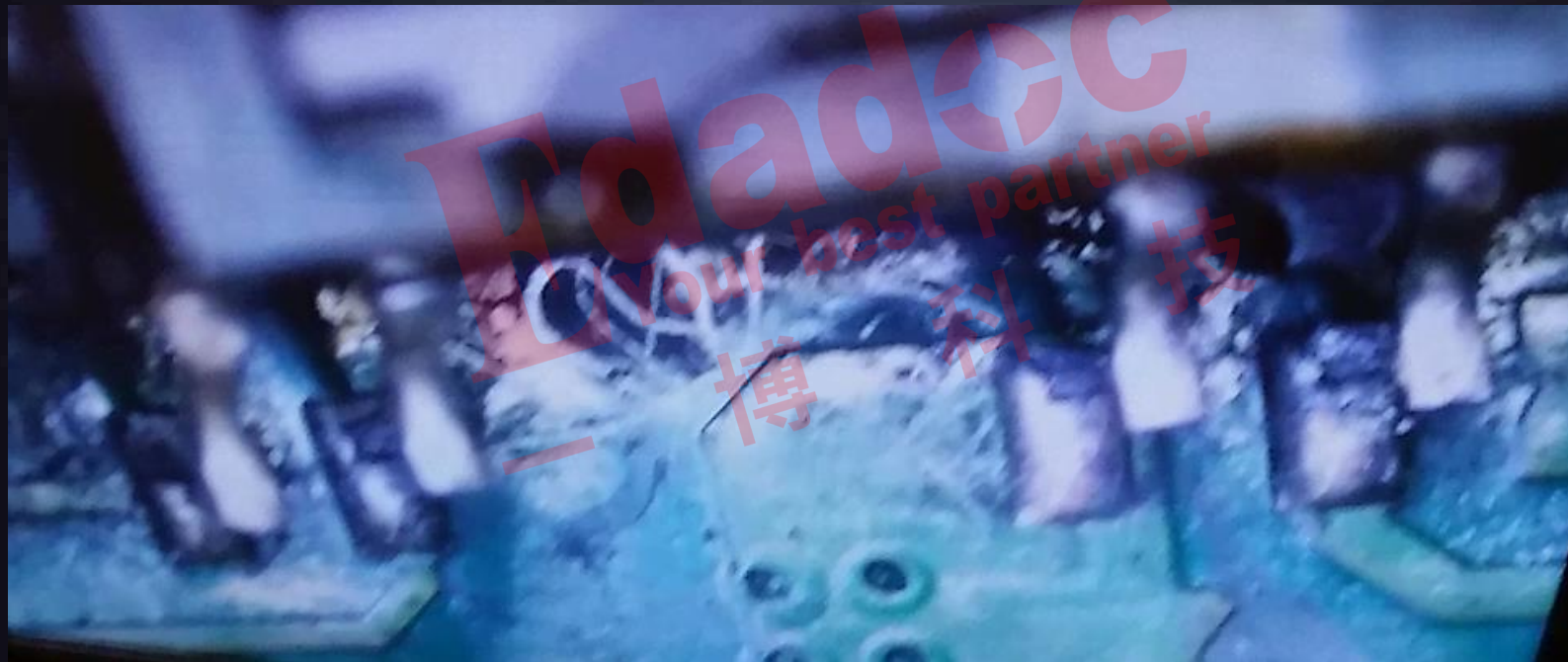
B





器件引脚出现脱落

此产品出货给客户端使用半年后出现功能不良，经拆机检查发现，有一个器件引脚与焊盘出现了脱落问题，具体如下图所示：



4

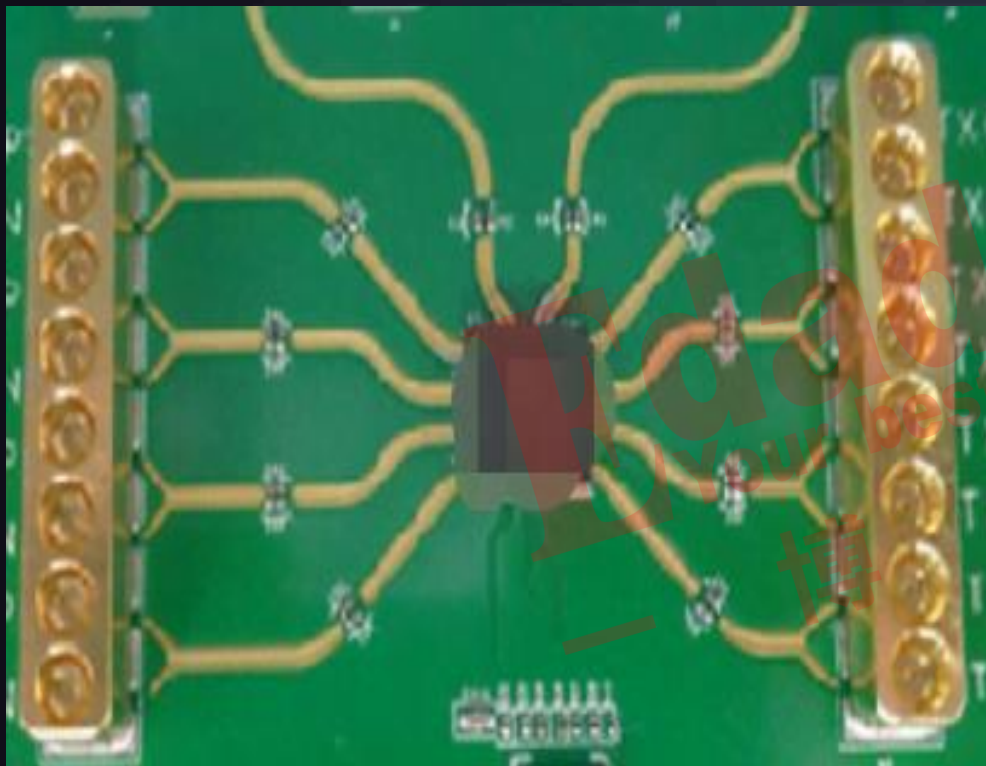
40G高频连接器焊接

—博经典案例系列



演讲人：罗青

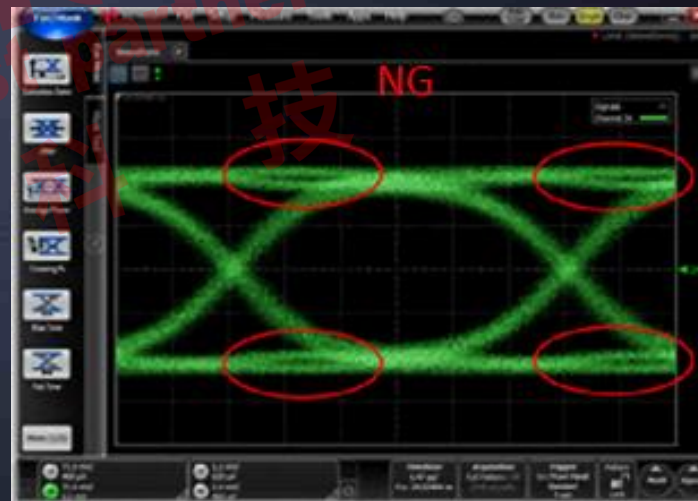
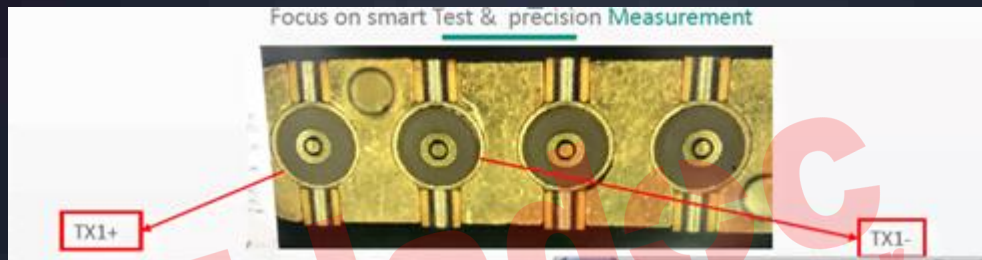
40G高频连接器生产数据



- 高频连接器：2个
- BGA间距：0.5 pitch
- 工艺制程：0201无铅双面制程
- 工艺难度：40G高频连接器

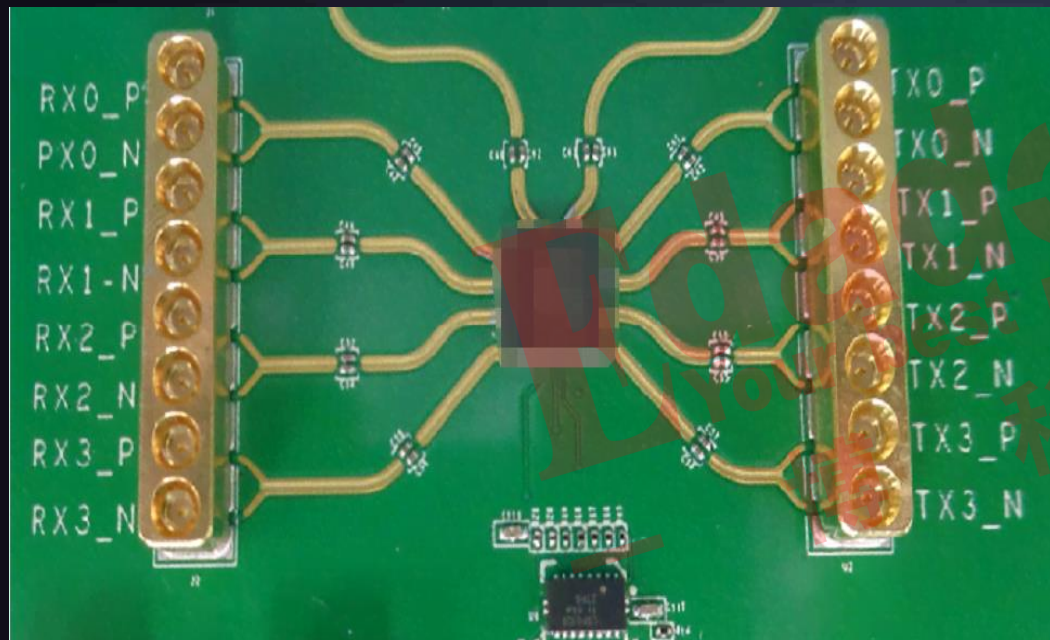


高频连接器焊接不良导致测试眼图异常





有哪些因素会影响高频连接器焊接不良



A、生产工艺问题

- 钢网开孔是否符合生产需求
- 印刷质量是否稳定
- 锡膏厚度是否满足焊接需求
- 回流焊焊接温度有无异常

高频连接器中心针锡膏印刷厚度检测



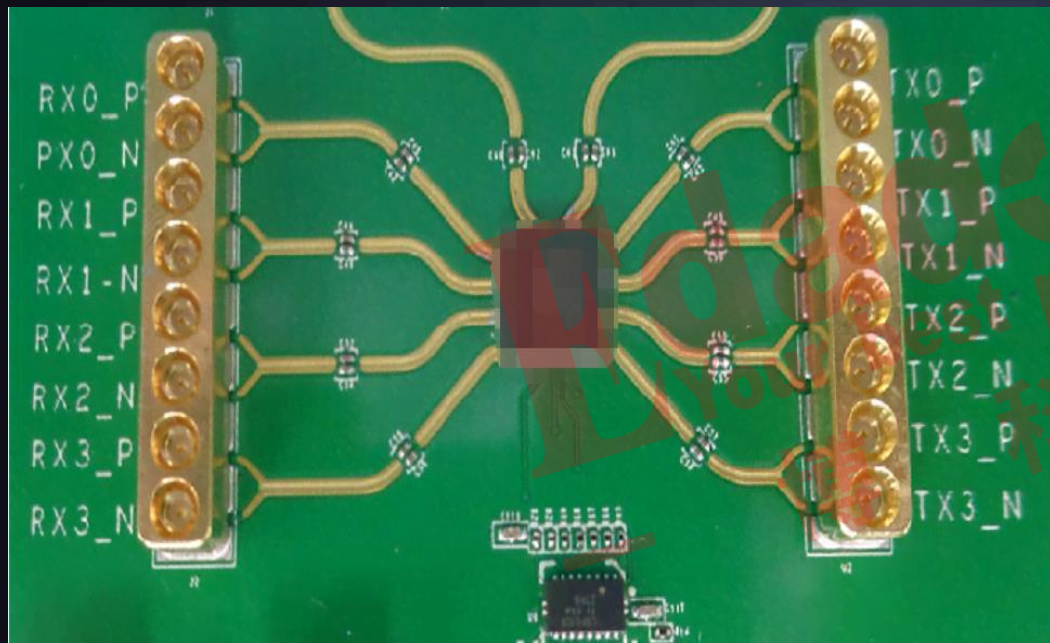
SPI检测 焊盘编号	高频连接器	60PCS锡膏 印刷厚度	平均厚度
131	中心针焊盘	5148	85.8
130	中心针焊盘	5097.8	85.0
183	中心针焊盘	5173.8	86.2
184	中心针焊盘	5009.1	83.5
182	中心针焊盘	5077	84.6
300	中心针焊盘	4965.6	82.8
298	中心针焊盘	5028.9	83.8
175	中心针焊盘	5519.7	92.0
290	中心针焊盘	5474	91.2
291	中心针焊盘	5408.5	90.1
289	中心针焊盘	5356.9	89.3
326	中心针焊盘	5339.6	89.0
327	中心针焊盘	5289.9	88.2
325	中心针焊盘	5406	90.1

0.08mm钢网锡膏厚度标准:
 $72\mu\text{m} \leq T \leq 104\mu\text{m}$

实际印锡厚度均在该标准范围内,且均大于80 μm



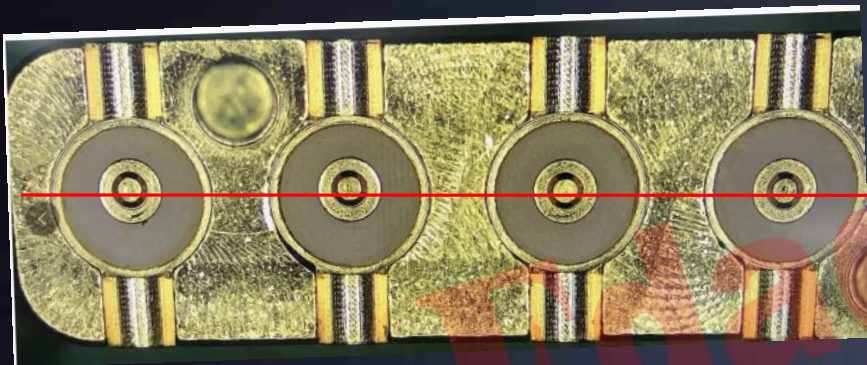
有哪些因素会影响高频连接器焊接不良



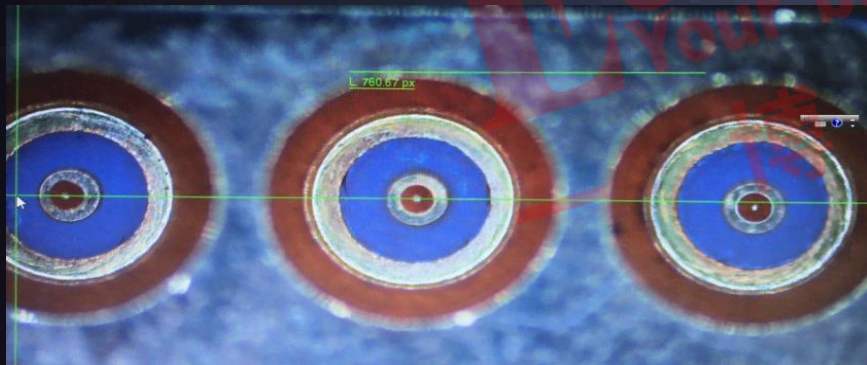
B、物料问题

- 高频连接器工艺精度是否达标
- 连接器耐温性是否符合要求
- 是否存在发黑拒焊现象

高频连接器来料不良



连接器中心针偏移



风险：量测偏差
0.1mm,贴装后，中
心PIN针与焊盘错位

高频连接器来料不良



连接器中心针不共面



风险：贴装后，部分低位中心PIN针未接触焊盘

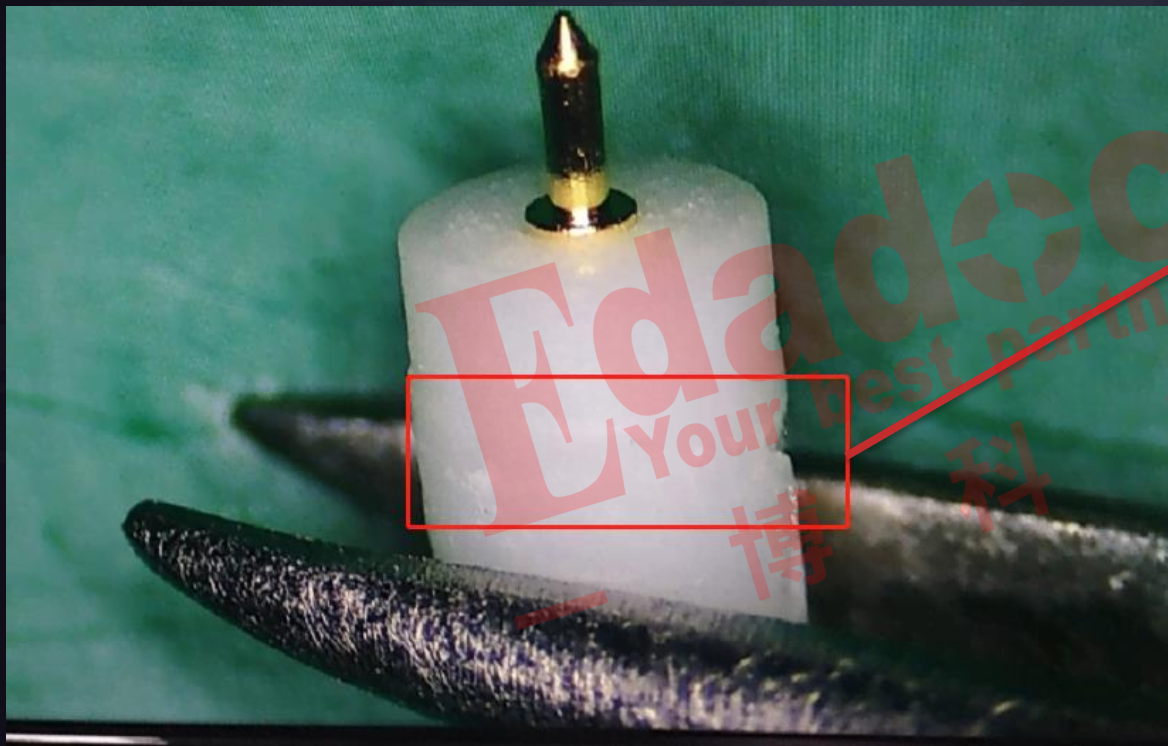


高频连接器中心针高度公差检测



高频连接器公差标准： $\pm 0.02\text{mm}$ ，实际用千分尺检测公差大于 0.02mm

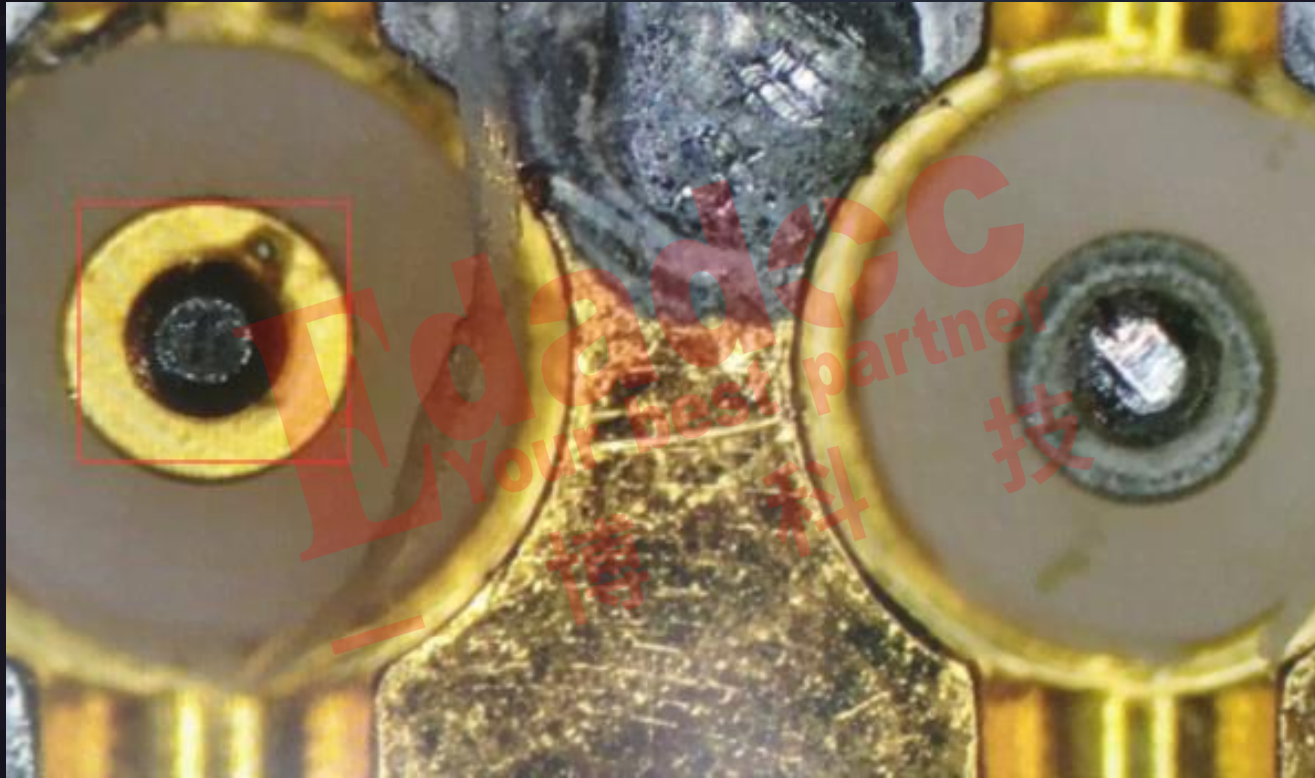
高频连接器中心针偏移分析



高温下中心针
塑胶本体熔融变形

**风险：熔胶会加大中
心PIN针偏心和
不共面**

高频连接器中心针“发黑”



焊盘或焊点“发黑”常见情况

(a) PCB焊盘或元器件引脚镀金层和镍镀层结构不够致密，表面存在缝隙，空气中的水分容易进入，以及浸金工艺中的酸液容易残留在镍镀层中。在镀金时，由于Ni原子半径比Au的小，因此在Au原子排列沉积在Ni层上时，其表面晶粒就会呈现粗糙、稀松、多孔的形貌形成众多空隙，而镀金就会透过这些空隙继续和层下的Ni原子反应，使Ni原子继续发生氧化，而未溶走的Ni离子就被困在Au层下面，形成氧化镍（NiXOy）。当镍层被过渡氧化侵蚀时，就形成了所谓的黑焊盘或焊点发黑。

(b) 镍镀层磷含量偏高或偏低，导致镀层耐酸腐蚀性能差，易发生腐蚀变色，出现“发黑”现象，使可焊性变差（PH为3-4级较好）。

(c) 镀金后没有将酸性镀液清洗干净，长时间Ni被酸腐蚀。

(d) 焊接时，作为可焊性保护性涂覆层的薄薄的Au层很快扩散到焊料中，露出已过度氧化、低可焊性的Ni层表面，势必使得Ni与焊料之间难以形成均匀、连续的金属间化合物（IMC），影响焊点界面结合强度，并可能引发沿焊点/镀层结合面开裂，严重的可导致表面润湿不良使元件从PCB上脱落或镍面发黑，俗称“黑镍”。

Au/Ni镀层厚度标准

IPC/CPCA-6012B

2005-01

代码	涂覆层	1 级	2 级	3 级
S	裸铜上的涂覆层	覆盖并可焊	覆盖并可焊	覆盖并可焊
T	电镀铅锡（热熔）（最小）	覆盖并可焊	覆盖并可焊	覆盖并可焊
X	S 和 T 任意一种	遵从代码指示		
TLU	电镀铅锡（非热熔）（最小）	8.0μm	8.0μm	8.0μm
G	金(最小)用于板边连接器及非焊接区	0.8μm	0.8μm	0.8μm
GS	金(最大)用于焊接区域	0.45μm	0.45μm	0.45μm
GWB-1	用于导线结合区域的电镀金层（超声波压焊）（最小）	0.05μm	0.05μm	0.05μm
	用于导线结合区域的金层下的电镀镍层（超声波压焊）（最小）	3μm（最小）	3μm（最小）	3μm（最小）
GWB-2	用于导线结合区域的电镀金层（热压焊）（最小）	0.3μm	0.3μm	0.3μm
	用于导线结合区域的金层下的电镀镍层（热压焊）（最小）	3μm（最小）	3μm（最小）	3μm（最小）
N	镍(最小)用于板边连接器	2.0μm	2.0μm	2.0μm
NB	镍层 -电镀作为阻挡层'（最小）	1.3μm	1.3μm	1.3μm
OSP	有机保护剂	可焊	可焊	可焊
ENIG	化学浸镍层	3μm（最小）	3μm（最小）	3μm（最小）

镀层标准:

$0.45\mu\text{m} \leq \text{Au层厚度} \leq 0.8\mu\text{m}$

高速连接器中心针各金属层膜厚检测



江苏一六仪器有限公司 膜厚测试报告

设备型号 XAU-4CS
样品名称
产品程式 SnAg/Au/Ni/Cu
供应商 Elite

%Image%

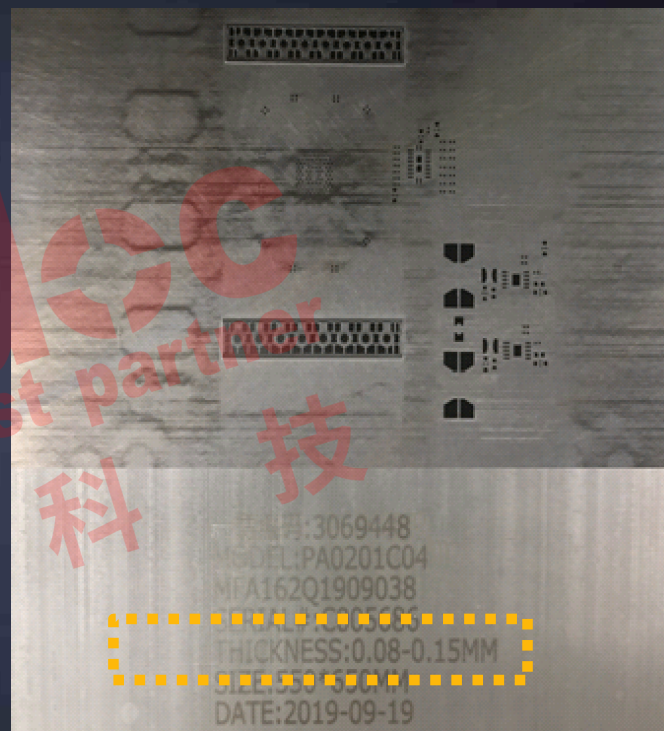
测量结果

G=1	inAg 1[μm]	Au 2[μm]	Ni 3[μm]
N=1	4.46	0.12	2.83
N=2	4.71	0.12	2.7
N=3	2.65	0.45	2.46
N=4	4.99	0.1	3.19
N=5	5.45	0.12	2.79
平均值	4.45	0.18	2.79
标准偏差	1.07	0.15	0.26
1对标准偏差	24.10	84.04	9.38
最大值	5.45	0.45	3.19
最小值	2.65	0.10	2.46
极差	2.80	0.35	0.72

实际镀层:

$0.1\mu\text{m} \leq \text{Au层厚度} \leq 0.45\mu\text{m}$

钢网特殊设计



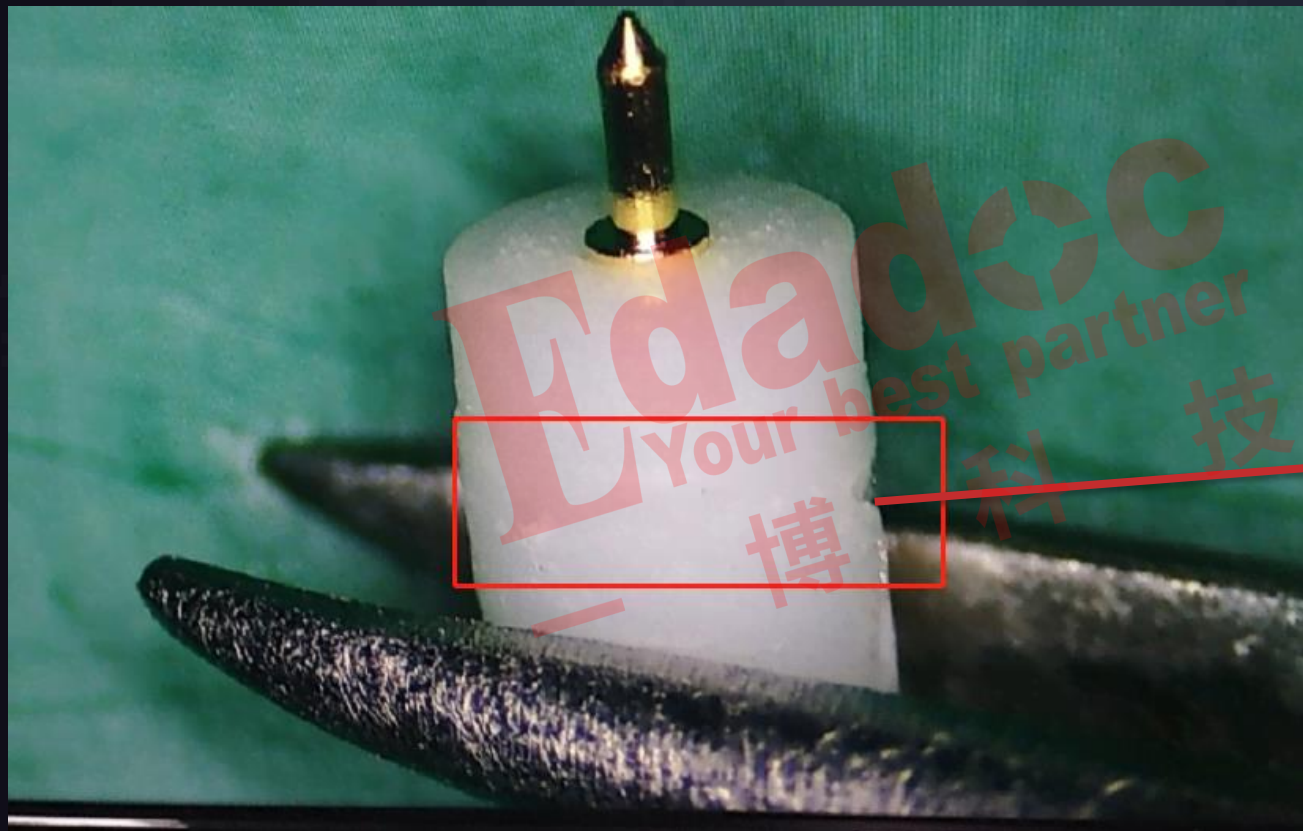
备注：根据 I P C 7525 A 标准，选用阶梯钢网，解决增强信号问题，同时增加中心针的锡膏量，焊接更牢固。

治具辅助压接高频连接器





更改耐高温材料



更改中心针塑胶本体为耐高温材质，解决熔胶问题



每批次生产钢网使用情况

下单日期	焊接编码	批量	生产日期	生产数量	生产钢网厚度	开钢网时间	备注
2019/5/7	3060568	12				2019/5/8	客户钢网资料与实物板不符， 报废重制
2019/5/7	3060568	12	2019/5/20	12	0.08mm	2019/5/17	提供实物板开钢网， 此批无不良
2019/8/2	3066454	160	2019/8/9	50	0.08mm	2019/8/8	客户改板，需重新开钢网， 此批无不良
2019/8/2	3066454	160	2019/8/26	62	0.08mm		反馈测试眼图不良很高
2019/8/2	3066454	160	2019/9/4	10	0.08mm		供应商更换OK的高频连接器
2019/8/2	3066454	160	2019/9/5	38	0.08mm		
2019/9/11	3069448	100	2019/10/10	100	0.08+015mm	2019/9/19	客户希望增加锡量从而增强信号
2019/8/22	3068560	30	2019/10/22	30	0.08+015mm		
2019/10/11	3071411	310	2019/11/5	310	0.08+015mm		

第一阶段：3次
2次合格，1次NG

第二阶段：2次
2次合格

第三阶段：3次
3次合格



大家思考一下：满足高频连接器生产需要哪些条件



讨论下



思考下



写出来



请举手



5

芯片叠层焊接工艺

—博经典案例系列

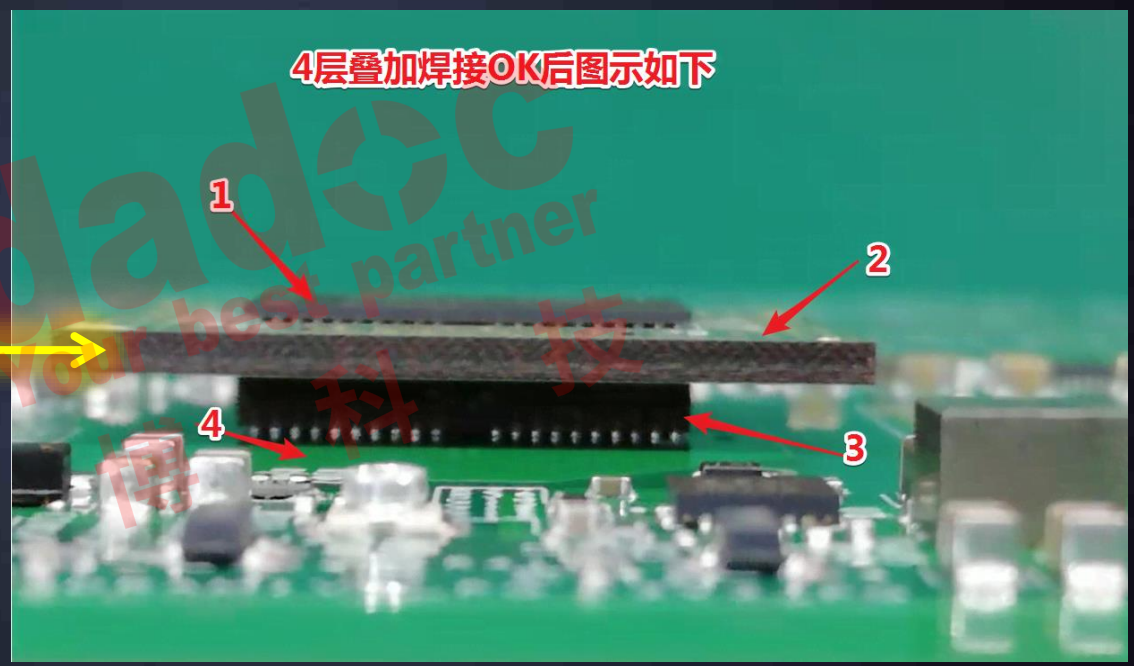
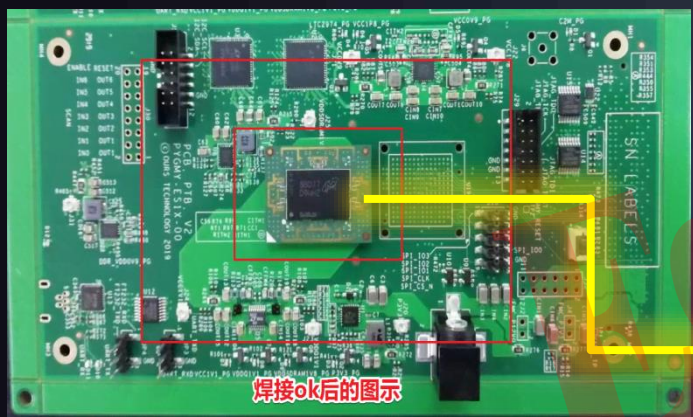


演讲人：罗 青



焊接成品展示

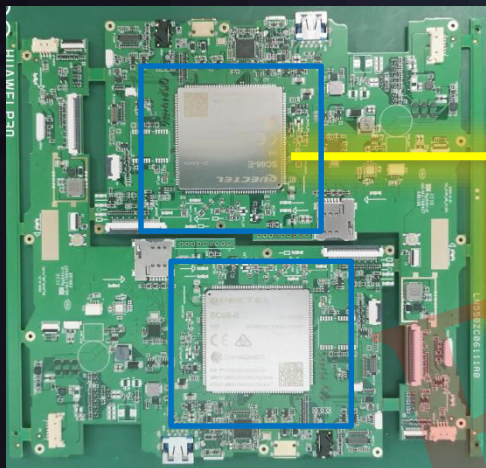
产品介绍：



模块为2层PCB、1层BGA 组合
模块通过类似BGA锡球方式焊接于底板上



常规带模块PCB

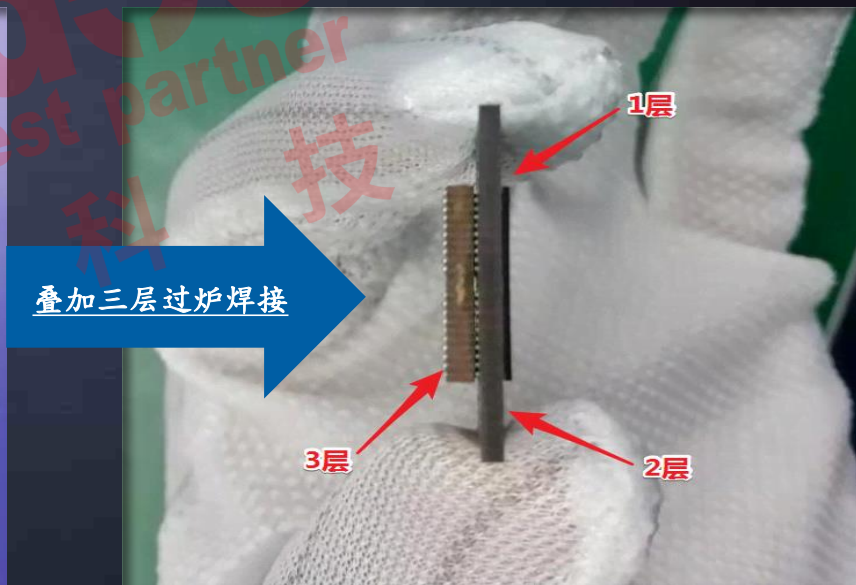
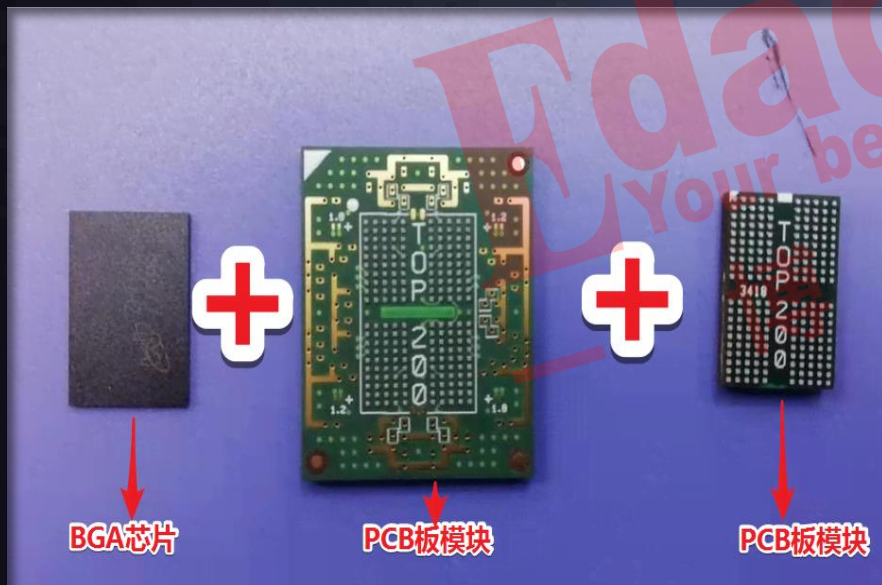


模块通过外围和底部焊盘焊接于底板上



背景条件

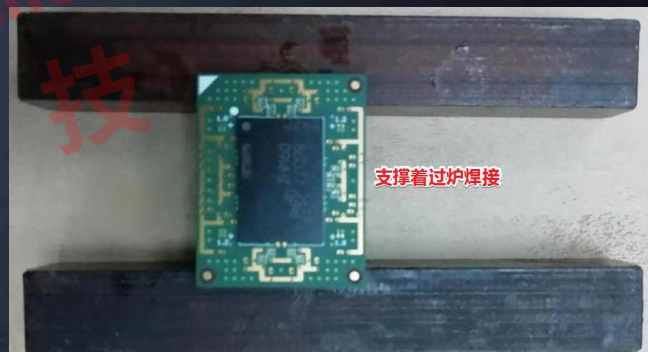
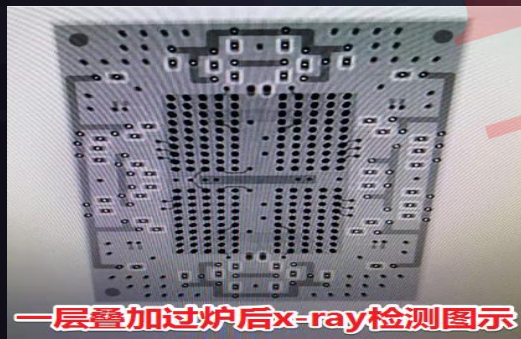
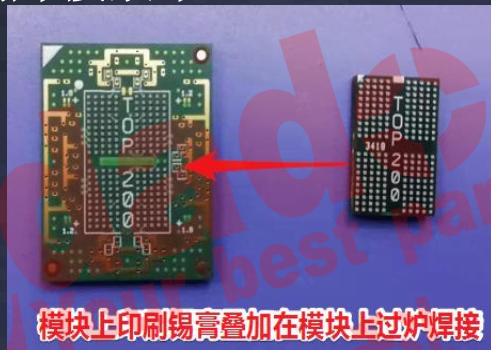
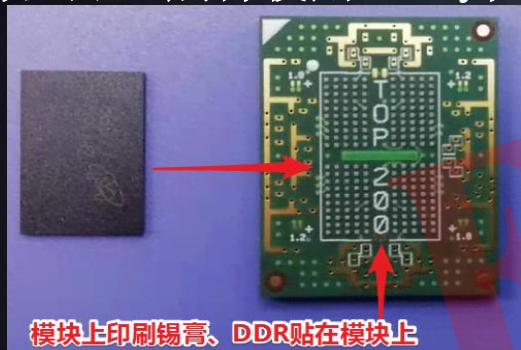
- 叠加4层芯片模块焊接案例分享
- 焊接堆叠顺序按照:
- DDR -> interposer card 接口卡-> raiser board驱动板 -> PCB





过程1-提前叠层焊接

- DDR贴装在interposer card 模块上过炉焊接。
- 每叠加一层都使用x-ray检测焊接效果。



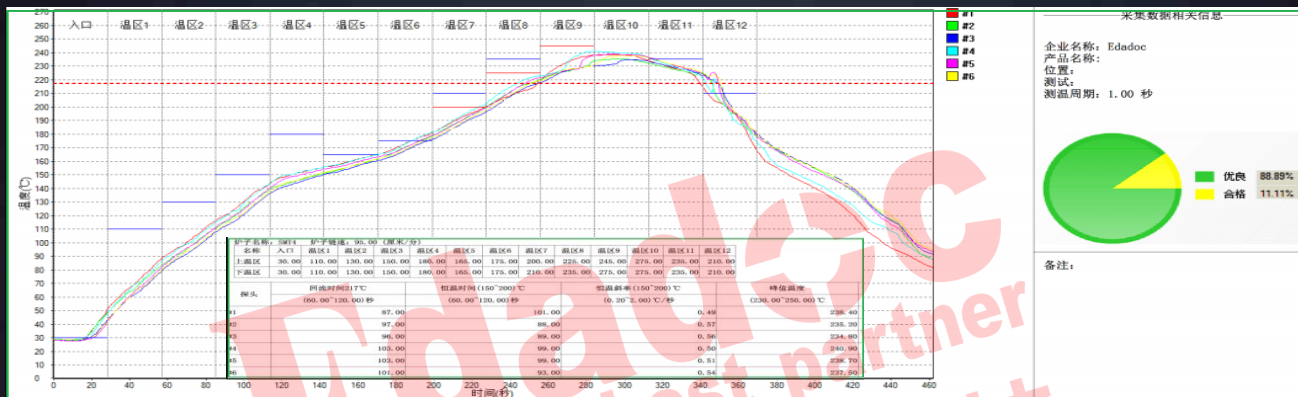


过程2-分析可靠性焊接选型

- 如何确保叠加多层的芯片贴装到PCB主板上，降低多层叠加的重力对锡膏的挤压，防止回流焊接产生短路风险，叠层芯片多次回流焊接的可靠性，是我们面临的工艺难题。
- 最终我们选用12温区回流焊攻克了这一难题，因为：
 1. 设定温度更加从容。
 2. 温区之间温度设定梯次小。
 3. 受热均匀。
 4. 密闭性好。
 5. 稳定性优越。
 6. 适合复杂PCBA板有工艺难度的焊接。



过程3-炉温调试



炉子名称: SMT4 炉子链速: 95.00 (厘米/分)

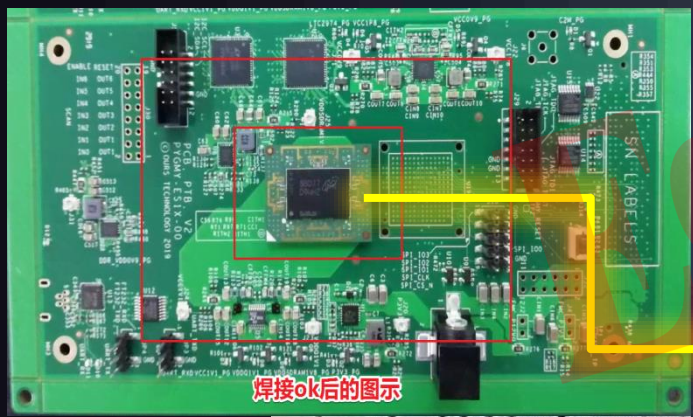
名称	入口	温区1	温区2	温区3	温区4	温区5	温区6	温区7	温区8	温区9	温区10	温区11	温区12
上温区	30.00	110.00	130.00	150.00	180.00	165.00	175.00	200.00	225.00	245.00	275.00	235.00	210.00
下温区	30.00	110.00	130.00	150.00	180.00	165.00	175.00	210.00	235.00	275.00	275.00	235.00	210.00

探头	回流时间17℃ (60.00~120.00)秒		恒温时间(150~200)℃ (60.00~120.00)秒		恒温斜率(150~200)℃ (0.20~2.00)℃/秒		峰值温度 (230.00~250.00)℃		
	#1		87.00		101.00		0.49		238.40
#2			97.00		88.00		0.57		235.20
#3			96.00		89.00		0.56		234.80
#4			103.00		99.00		0.50		240.90
#5			103.00		99.00		0.51		238.70
#6			101.00		93.00		0.54		237.50



焊接成品展示

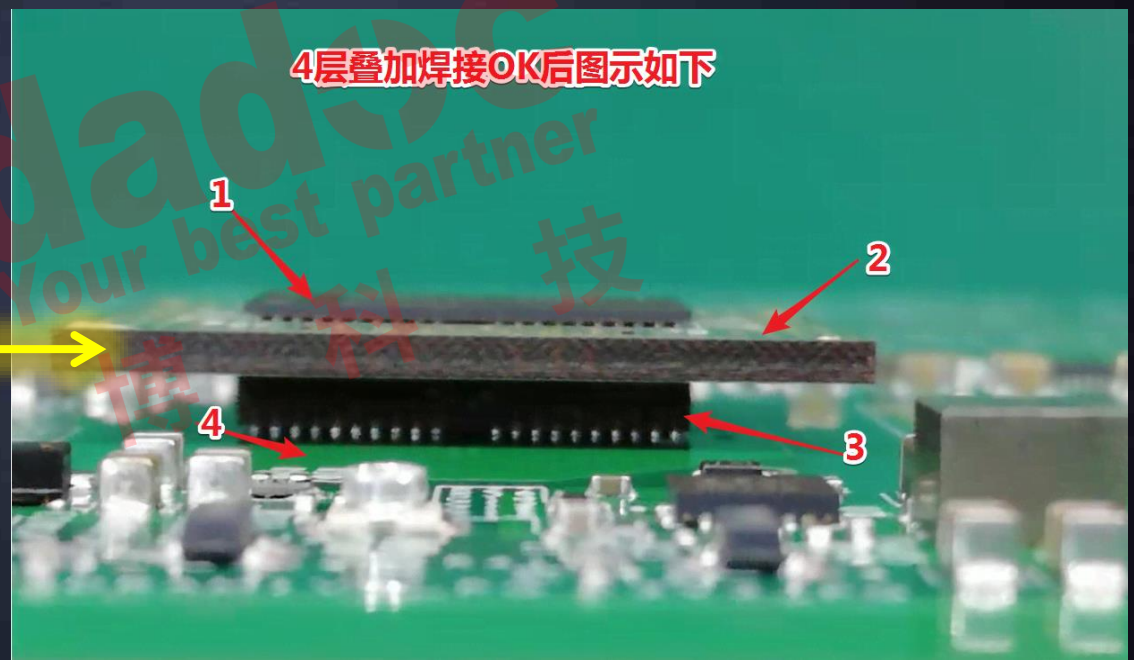
整体焊接完毕后X-RAY检测及外观检验确认结果合格



焊接ok后的图示

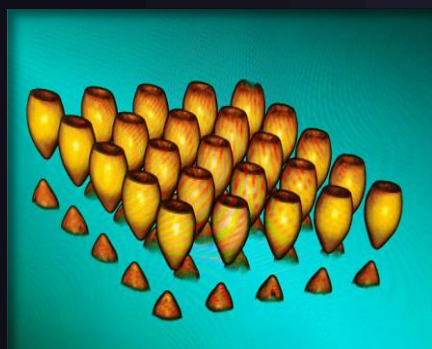


三层叠加过炉后x-ray图示

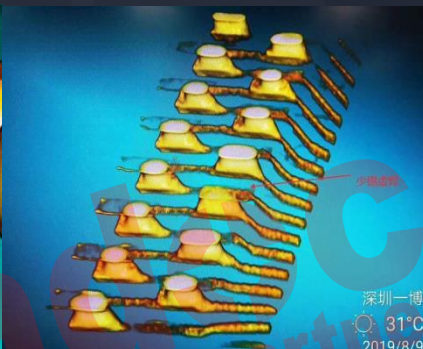
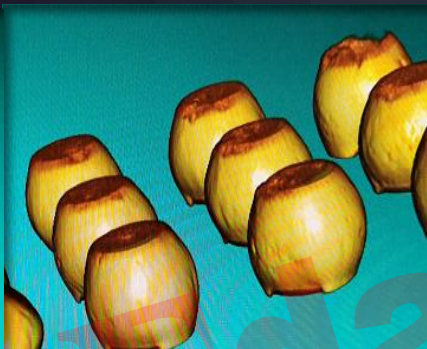


4层叠加焊接OK后图示如下

3D X-ray检测的应用



合格



虚焊少锡



枕头效应



空洞



短路

检测范围:

- 1、360°任意角度照射
- 2、非破坏性检测-断层扫描
- 3、虚焊、少锡、气泡、连锡等



6

国产化芯片焊接工艺

一博经典案例系列

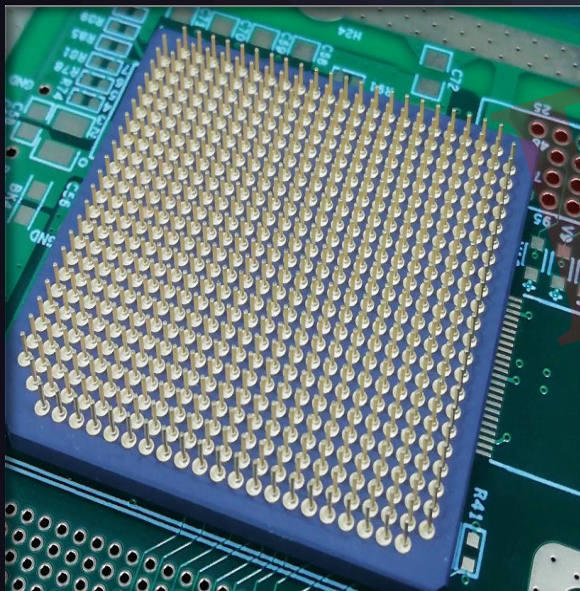


演讲人：罗青



背景条件-带针BGA+插装焊盘

PIN针式BGA封装、零件pin间距pad与pad内距为0.2mm。如何达到570个插件孔内的透锡度达到75%以上，且pin与pin之间不能短路？



BGA封装的插件焊接

背景条件-带针BGA+表贴焊盘

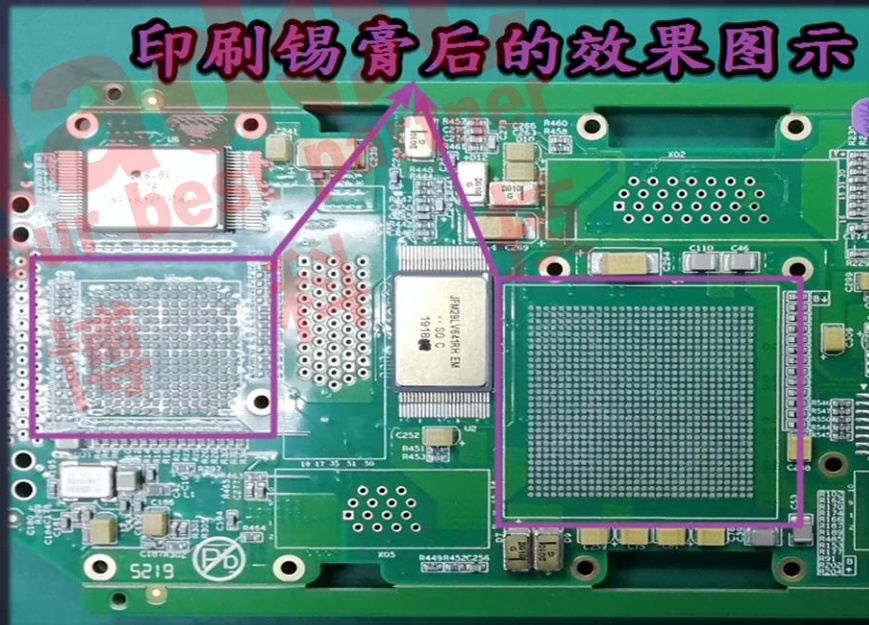
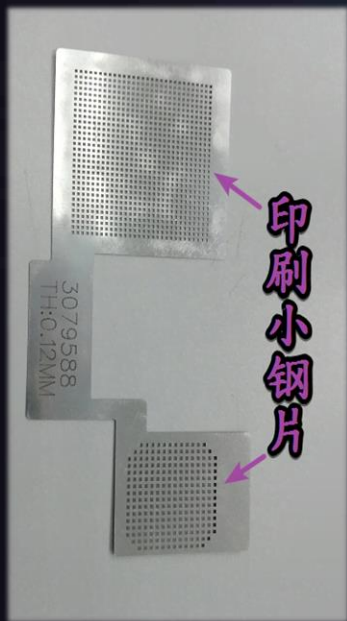
- 一. 国产有铅带针脚芯片
- 二. 零件pin脚是锡固定比较脆
- 三. 芯片较为昂贵
- 四. 板上其他位置为无铅焊接器件





过程1-局部单独印刷两个芯片位置

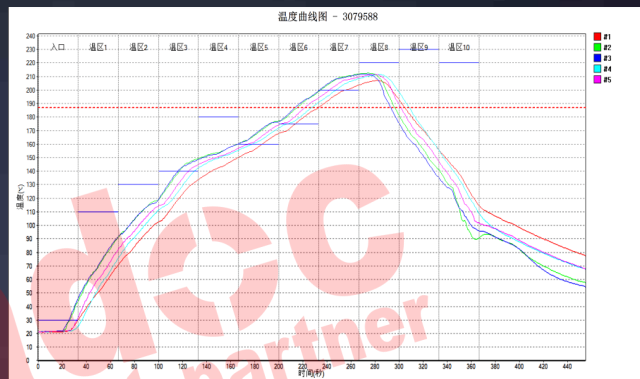
在保护好PIN脚不受损的情况下，需要解决如何实现有铅无铅混合工艺的焊接；
以及如何实现传统BGA带锡球焊接向带PIN针的焊接技术。





过程2-炉温参数设定

- 1、设定炉温峰值最高不超过220℃
- 2、回流时间183℃（60-120秒）
- 3、恒温时间110-150℃（50-120秒）
- 4、链速900mm/min



炉子名称: 低温锡 炉子链速: 90.00 (厘米/分)

名称	入口	温区1	温区2	温区3	温区4	温区5	温区6	温区7	温区8	温区9	温区10
上温区	30.00	110.00	130.00	140.00	180.00	160.00	175.00	200.00	220.00	230.00	220.00
下温区	30.00	110.00	130.00	140.00	180.00	160.00	175.00	200.00	220.00	230.00	220.00

探头	回流时间187℃	恒温时间(110~150)℃	恒温斜率(110~150)℃	峰值温度	
	(60.00~120.00)秒	(50.00~120.00)秒	(0.10~2.00)℃/秒	(200.00~220.00)℃	
#1		71.00	58.00	0.69	206.90
#2		81.00	50.00	0.80	212.50
#3		79.00	52.00	0.77	211.80
#4		81.00	52.00	0.77	211.60
#5		80.00	53.00	0.74	211.50

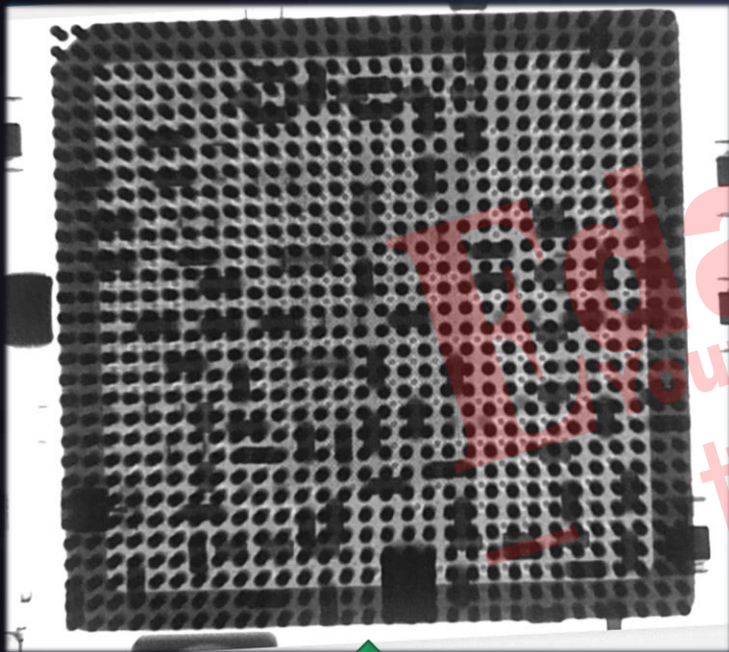


过程3-单独焊接两颗有铅BGA合金效果图

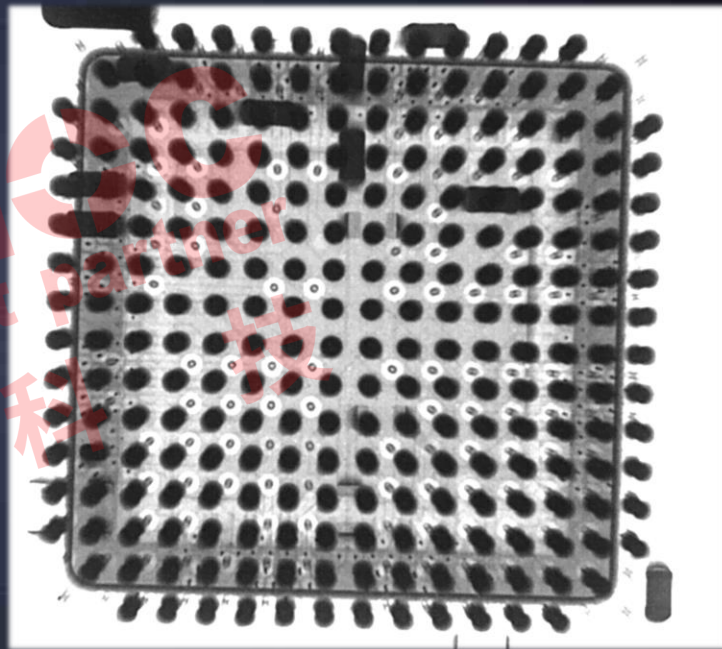




结果-X-ray检测图示合格



BGA-1



BGA-2



一博经典案例系列

好的产品都是设计出来的

Design

Manufacture



反馈DFM问题对设计进行优化

一站式服务

一博全流程整合的一站式硬件创新服务，十多年的高速PCB设计经验和制板、焊接、元器件供应完美结合，全方位协助客户实现从原理方案到产品上市



Thank You!

EDADOC, Your Best Partner!

