

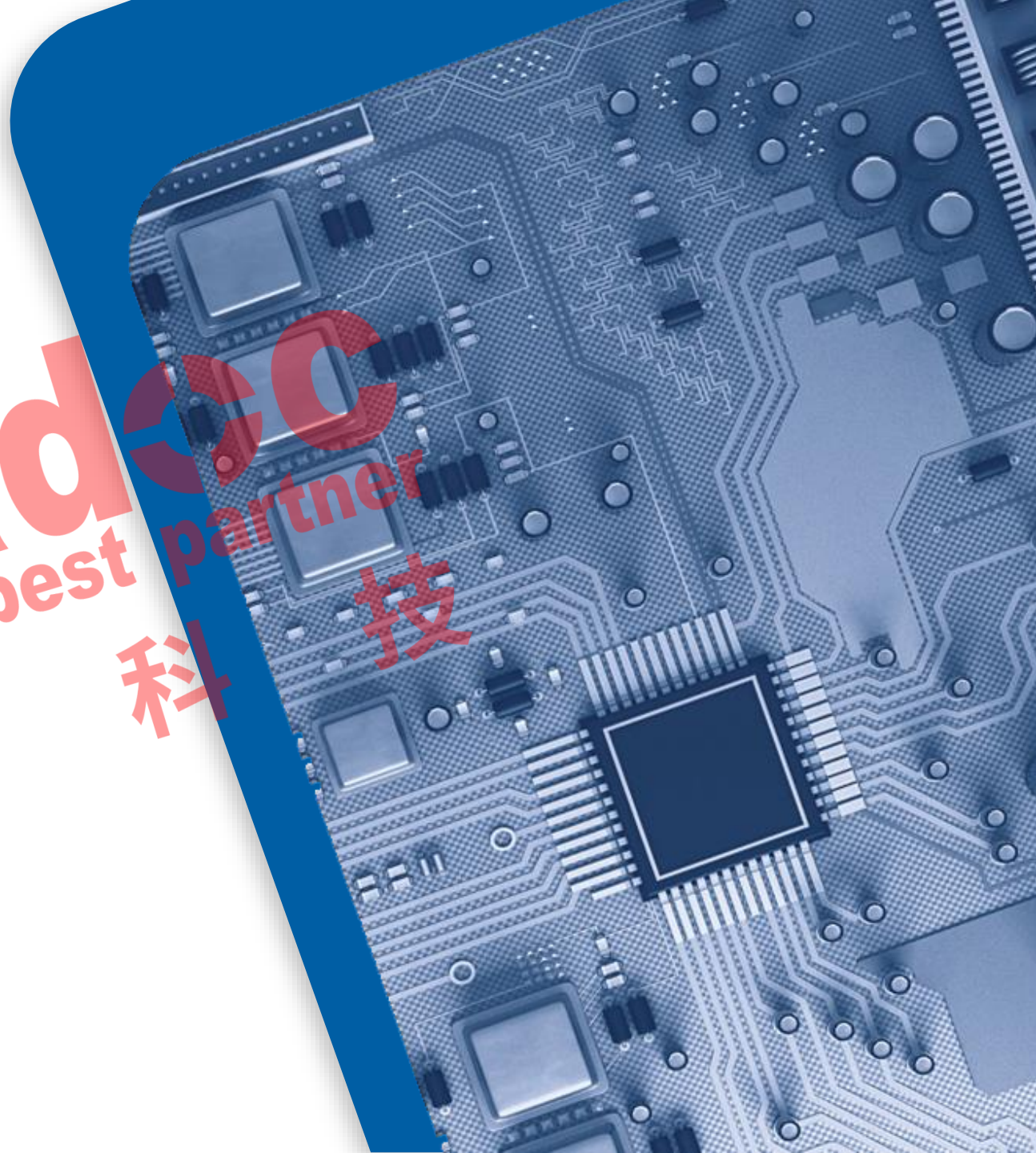
# 关于阻抗的那些事

## PCB设计十大误区

—博科技-SI研究部

Edadoc your best partner

**Edadoc**  
Your best partner  
— 博 科 技



# 目 录

## CONTENTS

Part 01 阻抗？这也太简单了吧

Part 02 阻抗，真的这么简单吗？

Part 03 阻抗的再次进阶

Part 04 原来都是阻抗问题

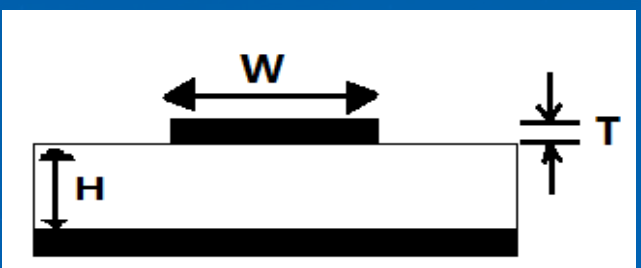
# PART 01

阻抗？这也太简单了吧



阻抗？这个话题也太简单了吧

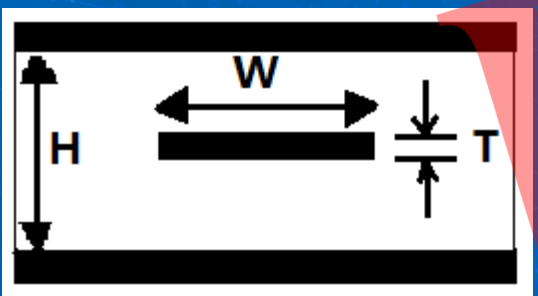
- 现在还有谁不会算阻抗的吗？
- 微带线阻抗计算



$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left( \frac{5.98H}{0.8W + T} \right) \text{ Ohm}$$

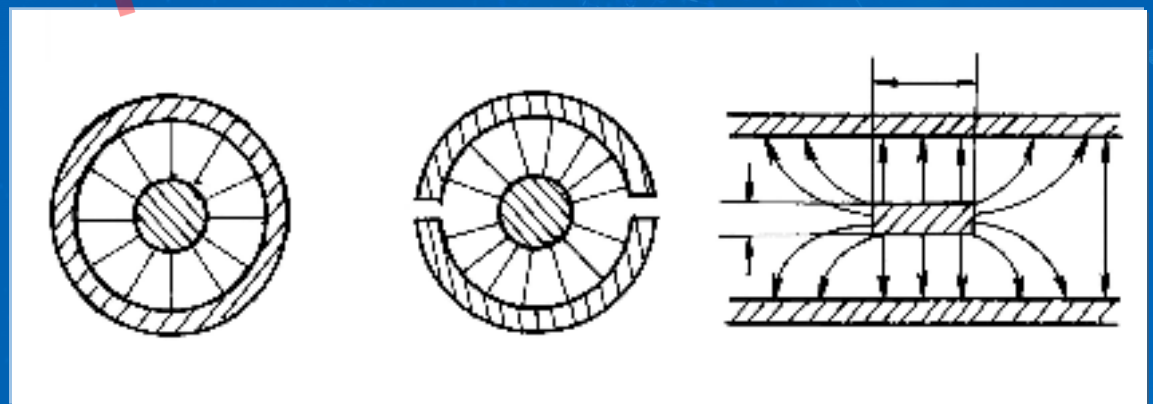
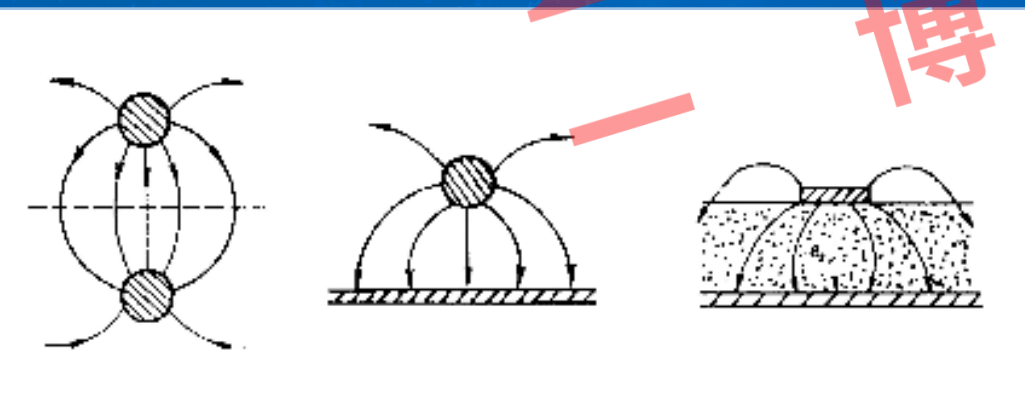
(Valid when  $0.1 < W/H < 2.0$  and  $1 < \epsilon_r < 15$ )

- 带状线阻抗计算

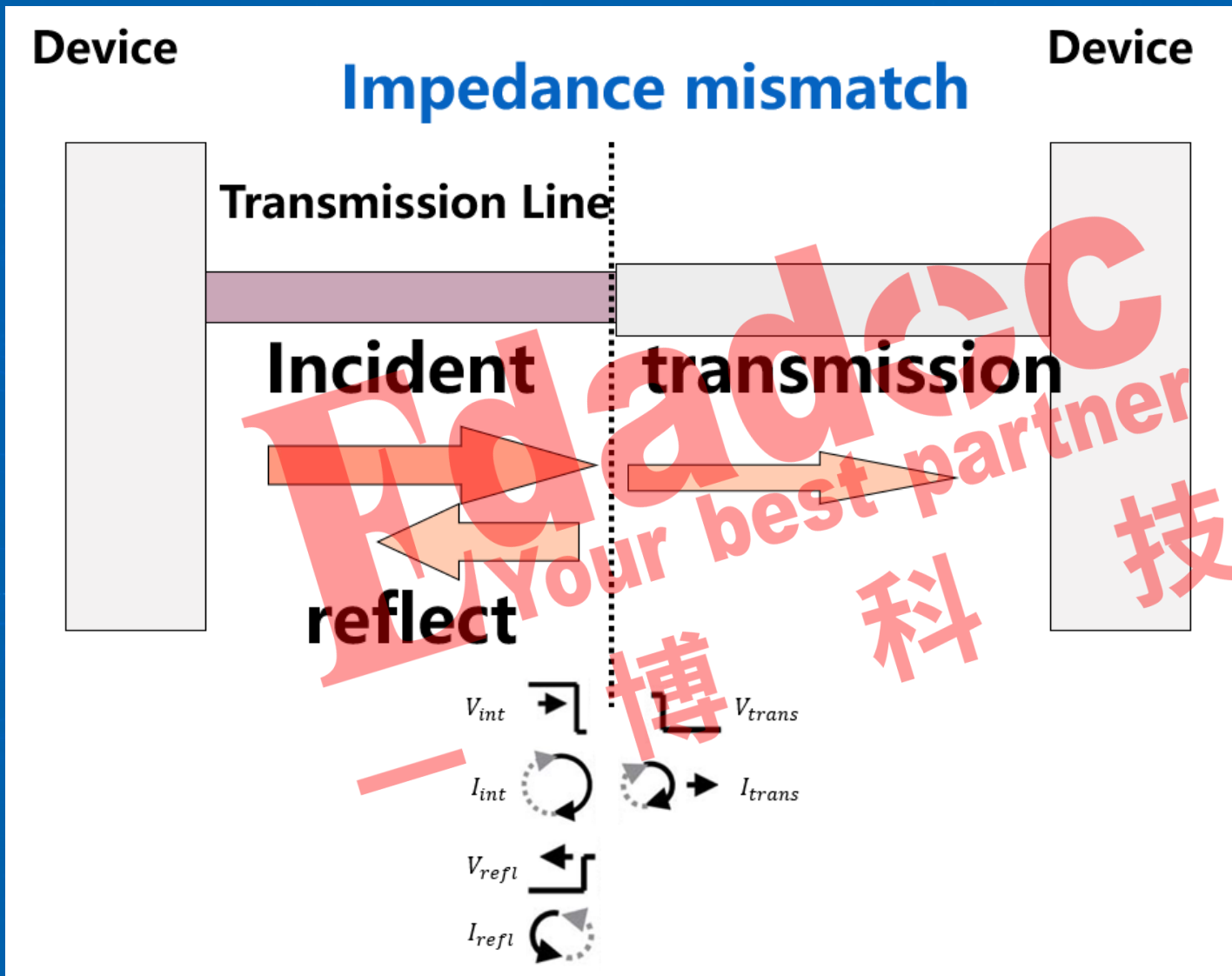


$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left( \frac{4H}{0.67\pi(T + 0.8W)} \right) \text{ Ohm}$$

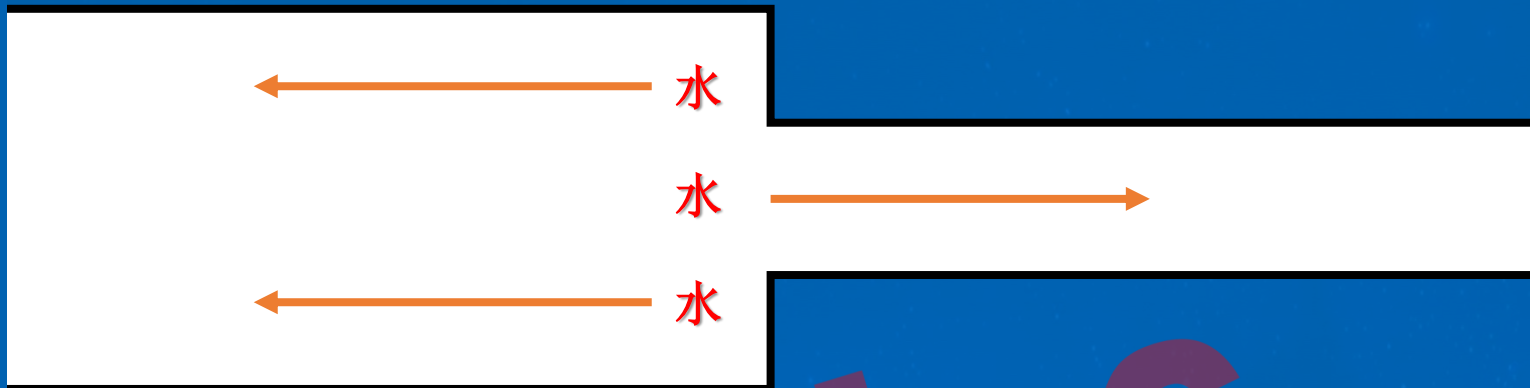
(Valid when  $W/H < 0.35$  and  $T/H < 0.25$ )



- 阻抗不一致导致信号反射



阻抗的最简单回顾



阻抗的最简单回顾



Edadoc  
Your best partner  
一博科技

## 为什么通常传输线控制50欧姆单线阻抗，100欧姆差分阻抗

### 为什么PCB上的单端阻抗控制50欧姆

高速第一自媒体 高速先生 2018-02-27 11:40

作者: 周伟 一博科技高速先生团队成员

<https://mp.weixin.qq.com/s/4sKAjiaewUQnfQ6clTTcLw>

引申: 为什么现在越来越多芯片的建议控制42欧姆、37欧姆单端阻抗, 85欧姆差分阻抗

重点: 阻抗控制是全链路端到端的要求

## 为什么PCB制板通常要求阻抗控制误差为±10%

### 一张图看懂阻抗偏差这件事-为什么常规阻抗控制建议是10%后记

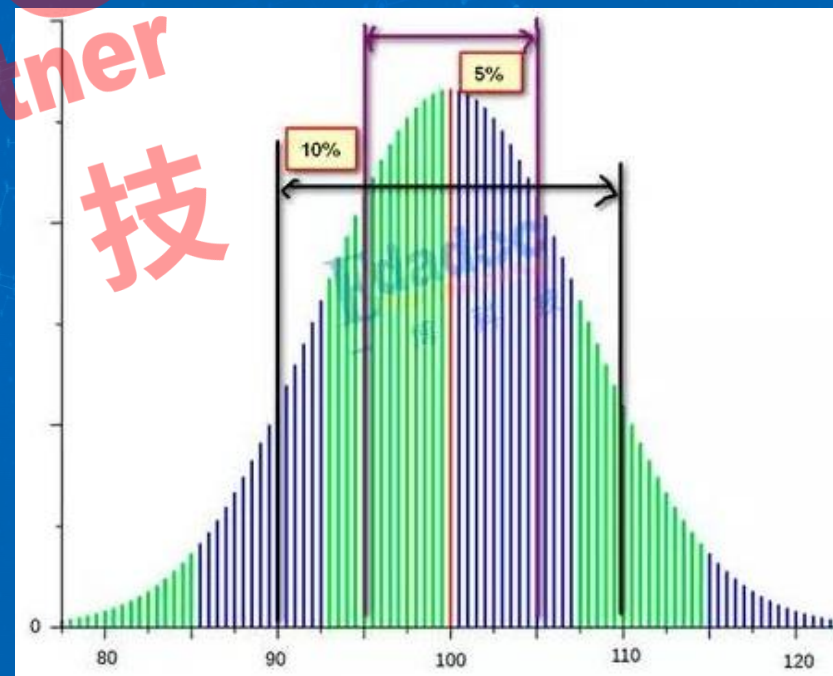
原创 高速第一自媒体 高速先生 2018-02-27 11:40

作者: 吴均 一博科技高速先生团队成员

[https://mp.weixin.qq.com/s/YZR5KC8GL3\\_SS0MEVl46OQ](https://mp.weixin.qq.com/s/YZR5KC8GL3_SS0MEVl46OQ)

引申: 我可以要求±7%, 甚至是±5%的阻抗偏差吗?

重点: 你真的需要这么严格的阻抗偏差吗?

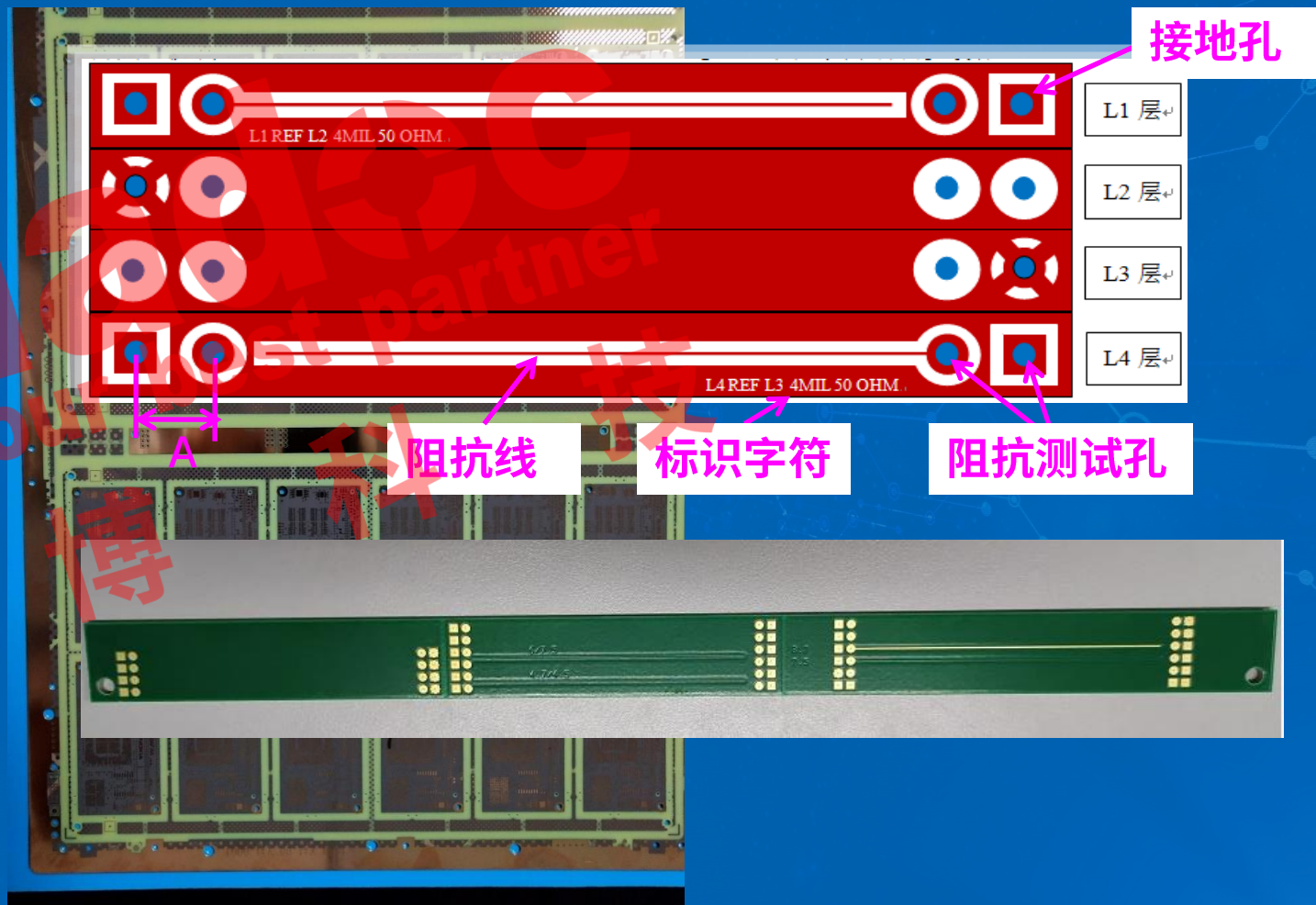




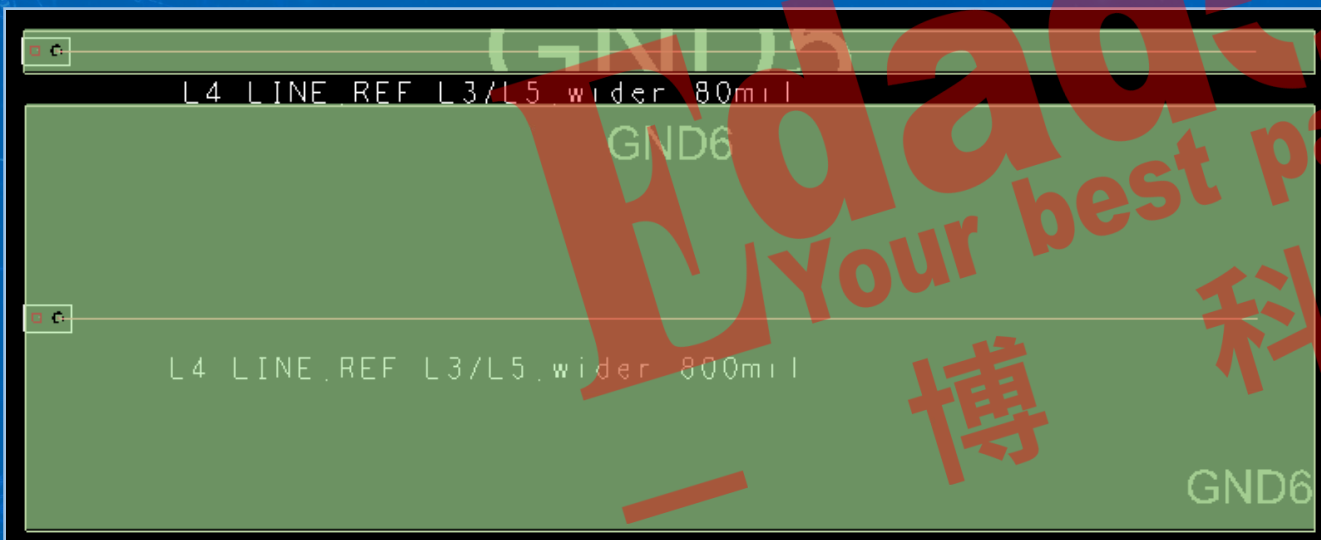
# 阻抗测试COUPON VS 板内实际走线

- 在板上的位置不同
- 周边的环境不同
- 东哥语录：看阻抗报告就像看新闻联播，实测就是焦点访谈，深挖才是走进科学

阻抗测试IMPEDANCE TESTING						
	层别 Layer	要求(欧姆) Requirement(ohm)	实测(欧姆) Result(ohm)	判定 Judgement	备注 Remark	
单线阻抗 Single Impedance	L18	50	± 5	49.20	ACC	
	L1	50	± 5	50.80	ACC	
	L18	50	± 5	50.20	ACC	
	L3	50	± 5	54.90	ACC	
	L5	50	± 5	53.20	ACC	
	L7	50	± 5	54.60	ACC	
	L10	50	± 5	54.50	ACC	
	L12	50	± 5	54.70	ACC	
	L14	50	± 5	54.60	ACC	
	L16	50	± 5	53.50	ACC	
	L18	50	± 5	52.50	ACC	
	L1	50	± 5	51.20	ACC	
	L1	50	± 5	49.60	ACC	
	差分阻抗 Differential Impedance	L1	100	± 10	92.10	ACC
L3		100	± 10	102.10	ACC	
L5		100	± 10	105.40	ACC	
L7		100	± 10	105.80	ACC	
L10		100	± 10	103.60	ACC	
L12		100	± 10	107.10	ACC	
L14		100	± 10	102.10	ACC	
L16		100	± 10	103.50	ACC	



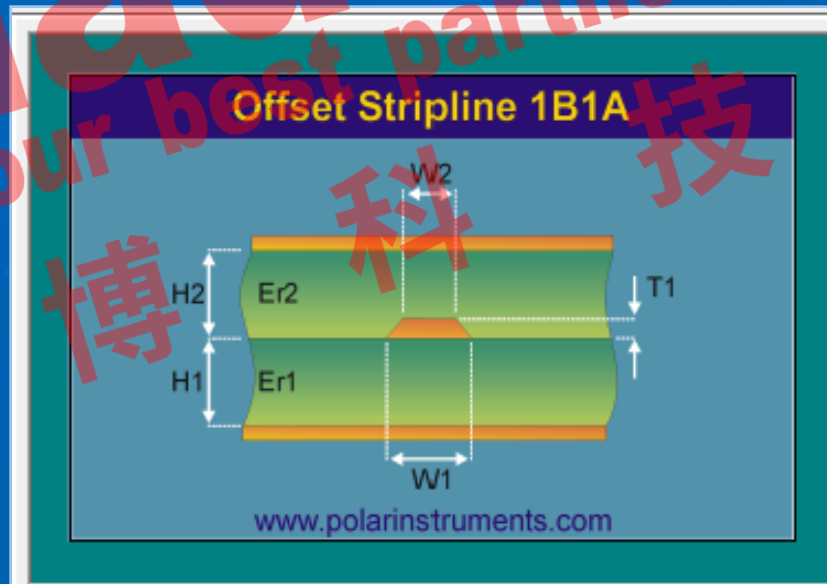
- 浮空铜皮影响COUPON条阻抗案例
- 测试目标：L4层走线参考L3/L5层的平面
- ✓ case1: L3/L5为地平面
- ✓ case2: L3为地平面, L5是浮铜
- ✓ case3: L3和L5均为浮铜



- 浮空铜皮影响COUPON条阻抗案例
- 理论计算值

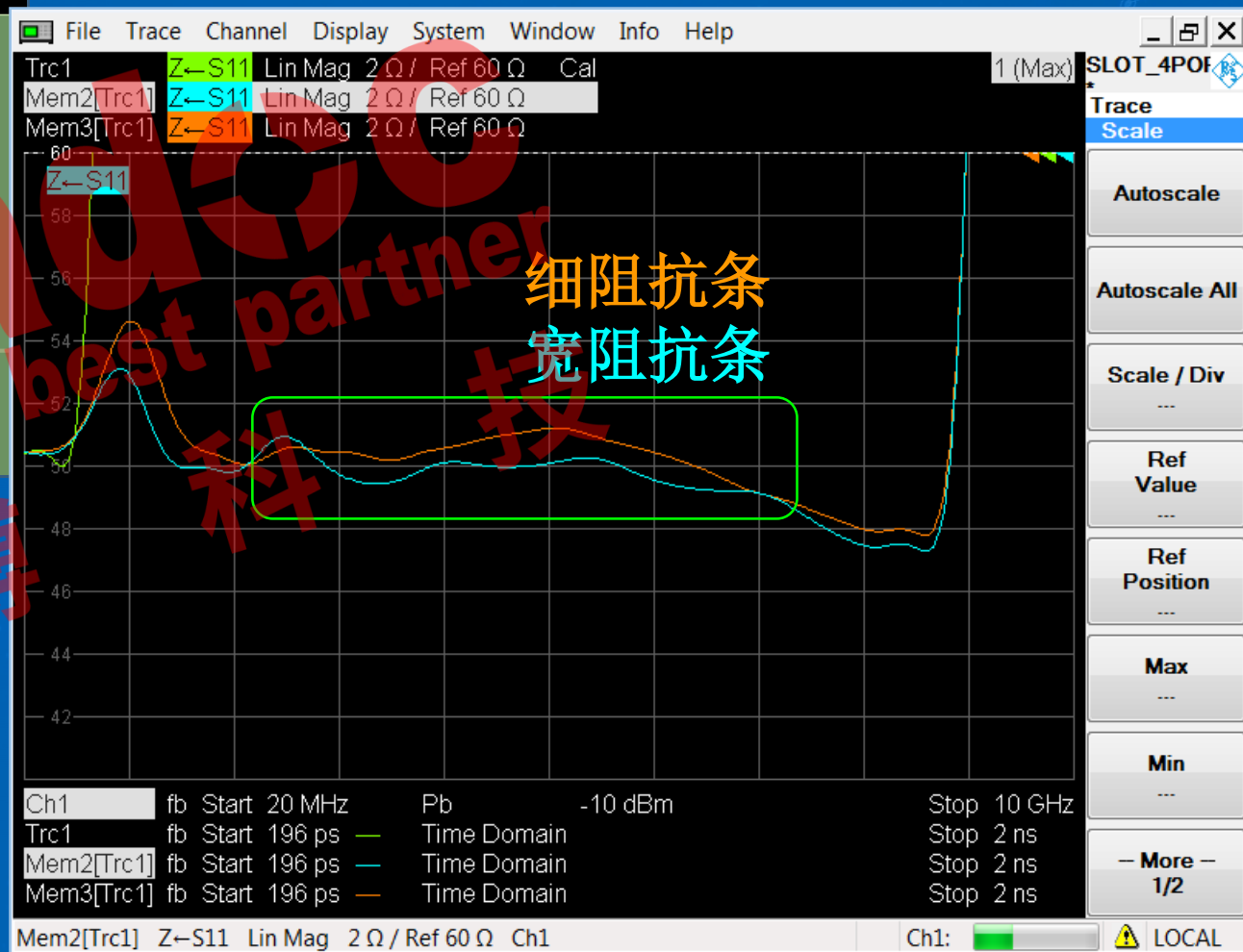
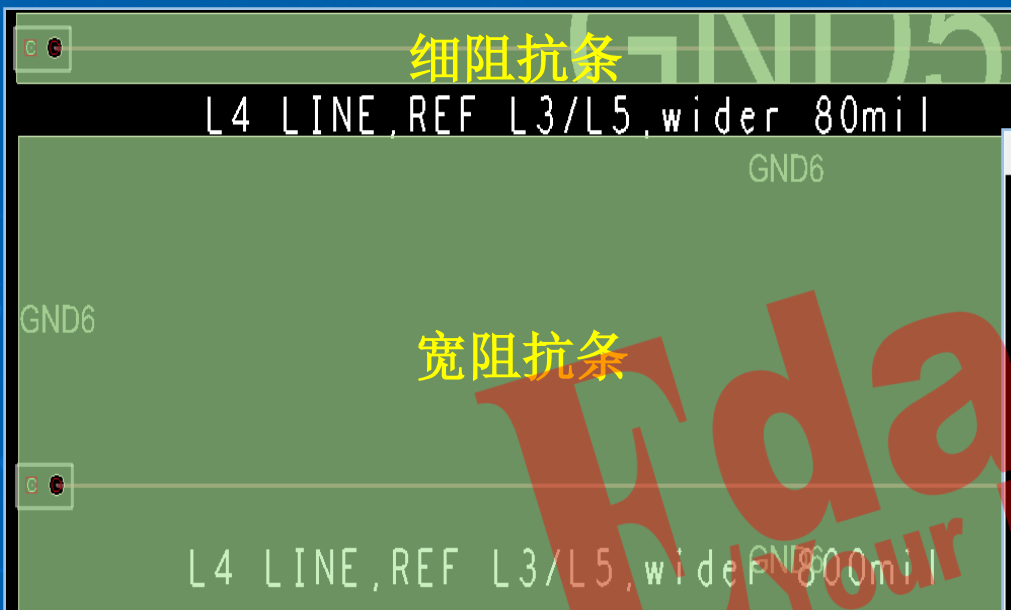


	Surface			
	Dielectric	Dielectric		0.6
1 TOP	Conductor	Conductor		1.6
	Dielectric	Dielectric		3.5
2 GND02	Plane	Plane		0.6
	Dielectric	Dielectric		8.1
3 L3	Conductor	Conductor		0.6
	Dielectric	Dielectric		32
4 L4	Conductor	Conductor		0.6
	Dielectric	Dielectric		8.1
5 L5	Plane	Plane		0.6
	Dielectric	Dielectric		3.5
6 BOTTOM	Conductor	Conductor		1.6
	Dielectric	Dielectric		0.6
	Surface			

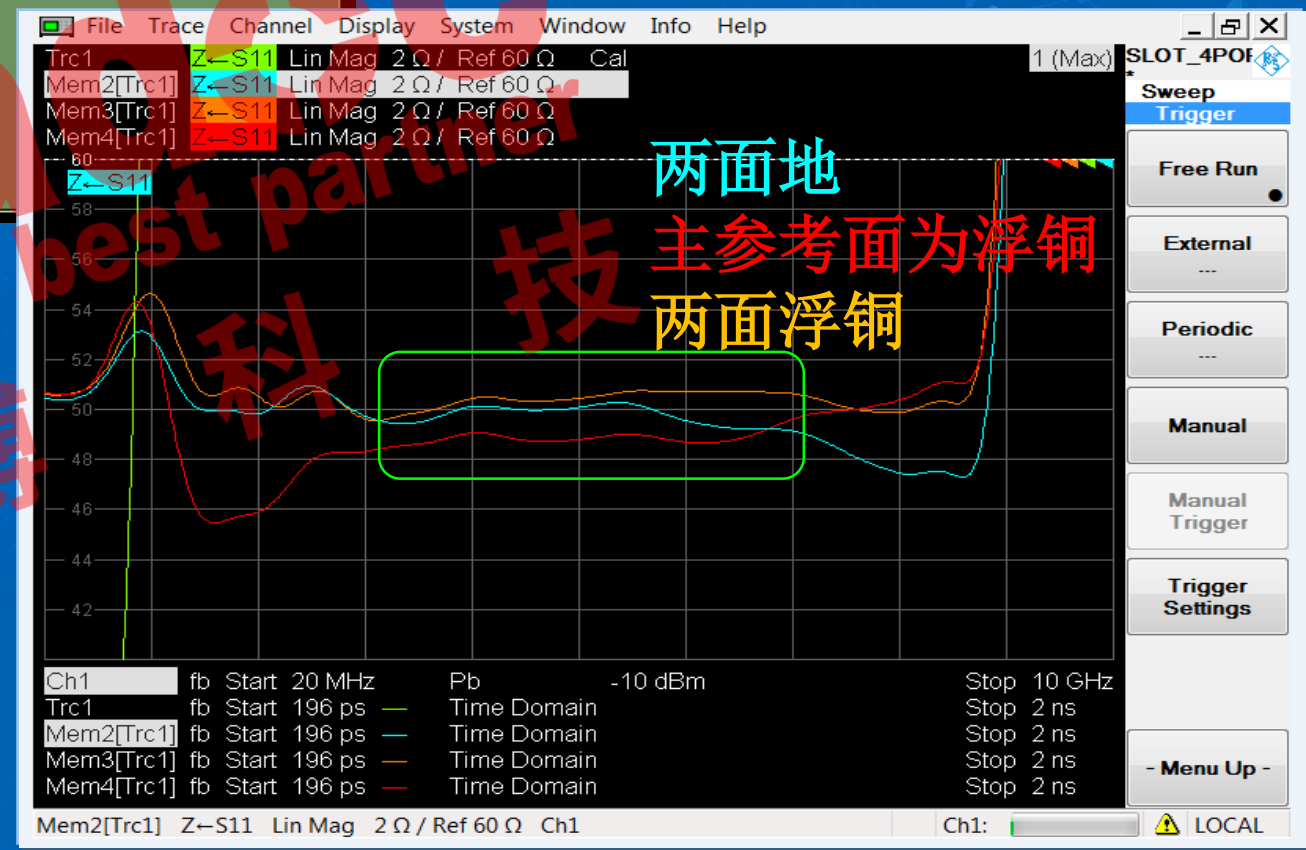
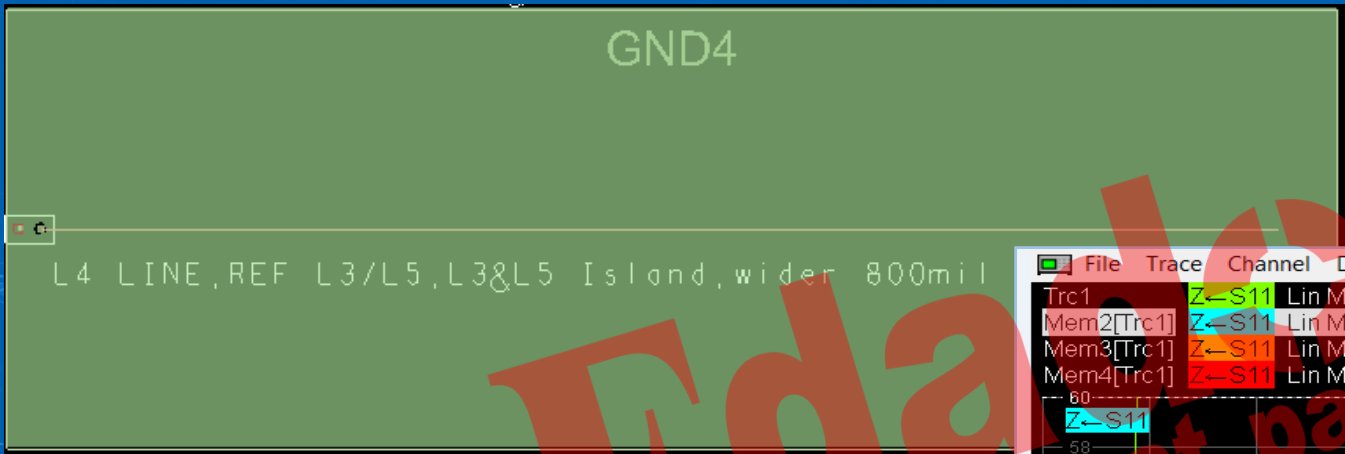


Substrate 1 Height	H1	<input type="text" value="32.0000"/>
Substrate 1 Dielectric	Er1	<input type="text" value="3.5000"/>
Substrate 2 Height	H2	<input type="text" value="8.7000"/>
Substrate 2 Dielectric	Er2	<input type="text" value="3.5000"/>
Lower Trace Width	W1	<input type="text" value="13.0000"/>
Upper Trace Width	W2	<input type="text" value="12.4000"/>
Trace Thickness	T1	<input type="text" value="0.6000"/>
Impedance	Zo	<input type="text" value="49.96"/>

- 浮空铜皮影响COUPON条阻抗案例
- 测试1：两面都参考地，能测到准确的阻抗，而阻抗差别不大



- 浮空铜皮影响COUPON条阻抗案例
- 测试2：宽的阻抗条下，浮铜也能测出准确的阻值抗



- 浮空铜皮影响COUPON条阻抗案例
- 测试3：主参考面为浮铜情况下，细阻抗条和宽阻抗条的差异就比较大了。



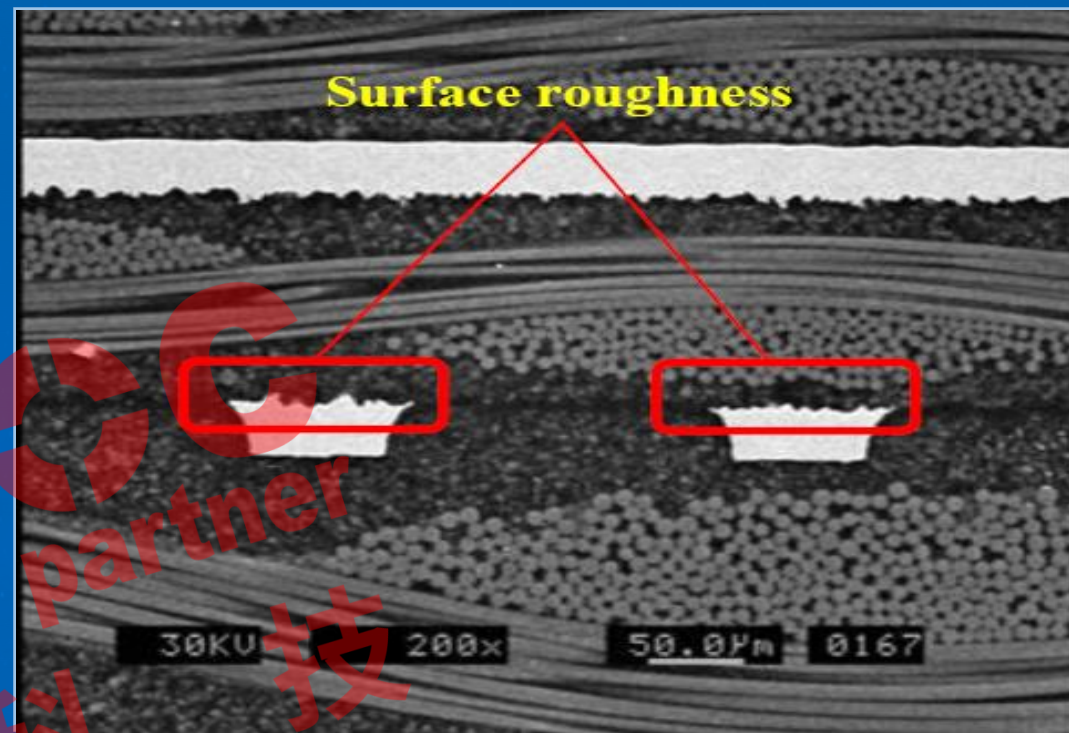
- 浮空铜皮影响COUPON条阻抗案例
- 测试4：两面均为浮铜情况下，细阻抗条和宽阻抗条的差异也是比较大的。



# 你的设计 阻抗都一致吗？



- 不同层阻抗不一致，换层布线
- 过孔产生的垂直方向阻抗不一致
- BGA出线区域
- 走线跨分割
- 表贴焊盘带来的阻抗不连续
- 参考平面不连续（反焊盘等）
- 玻纤布及加工因素
- 其他

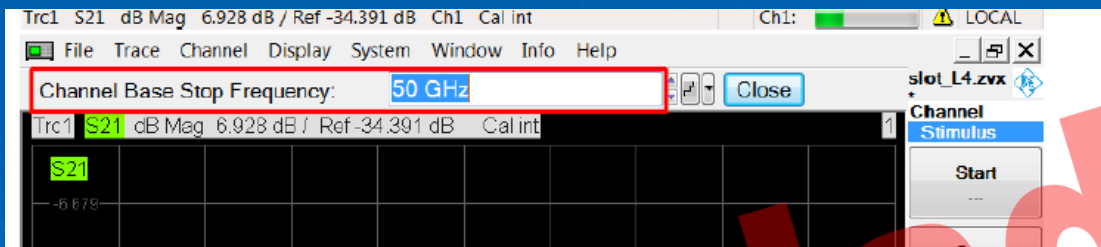


## PART 02

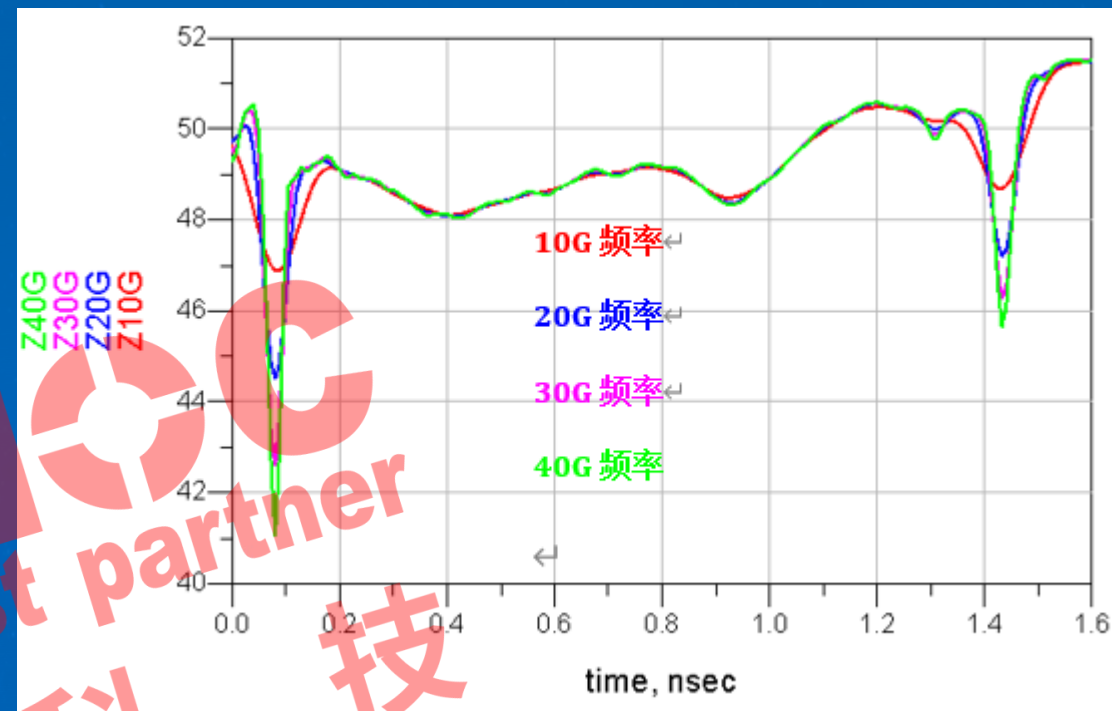
# 阻抗，真的这么简单吗？

Edadoc  
Your best partner  
— 博 科 技

- 同样的板子，不同的测试结果
- 网络分析仪的不同设置条件



- 问题来了：
  - 这个过孔阻抗到底是多少？
  - 截止频率越高越好吗？
  - 测试的时候上升时间越短越好吗？



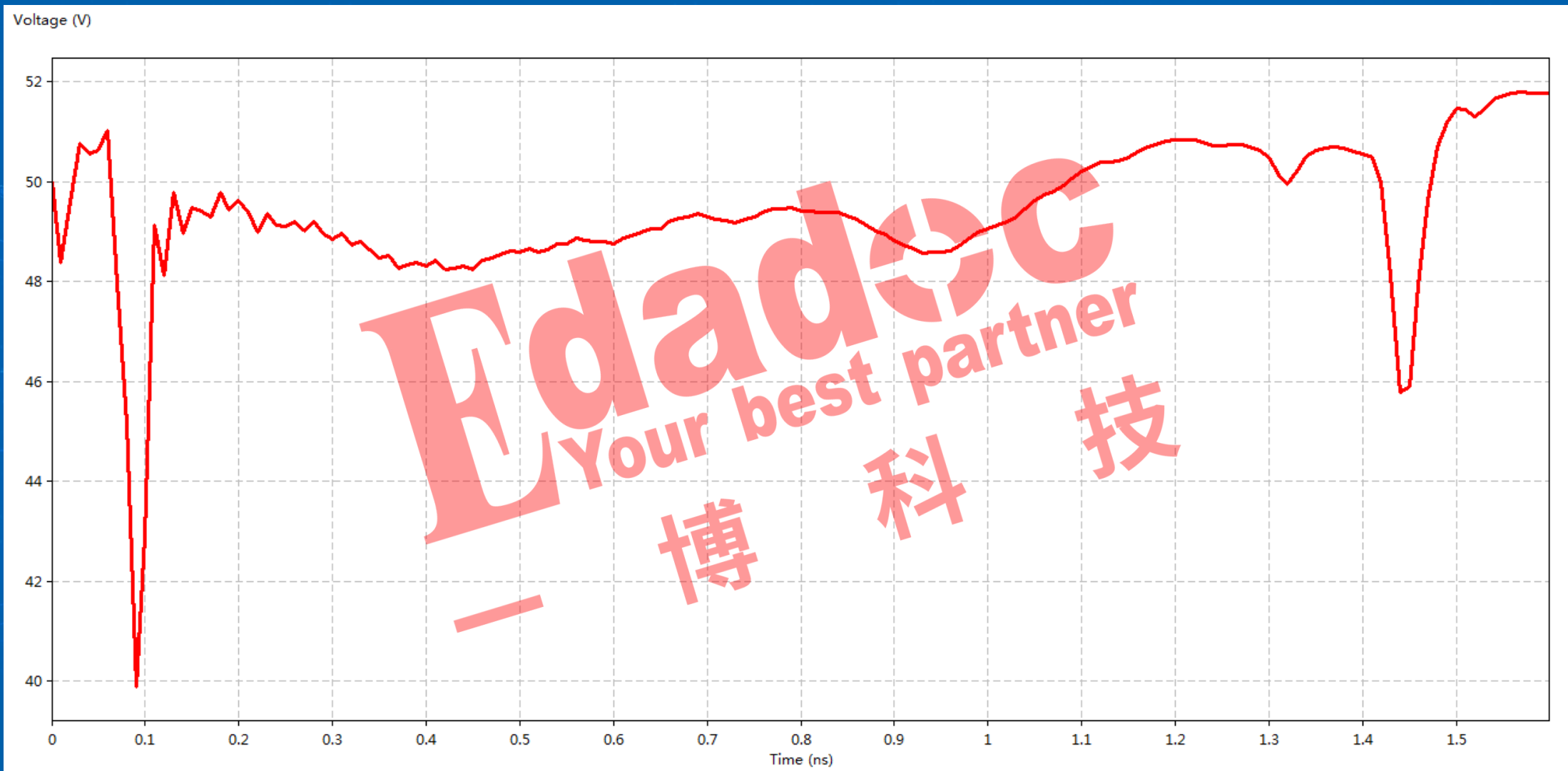
- 6G 光模块协议规定最小上升时间为30ps，它感觉到的阻抗是……



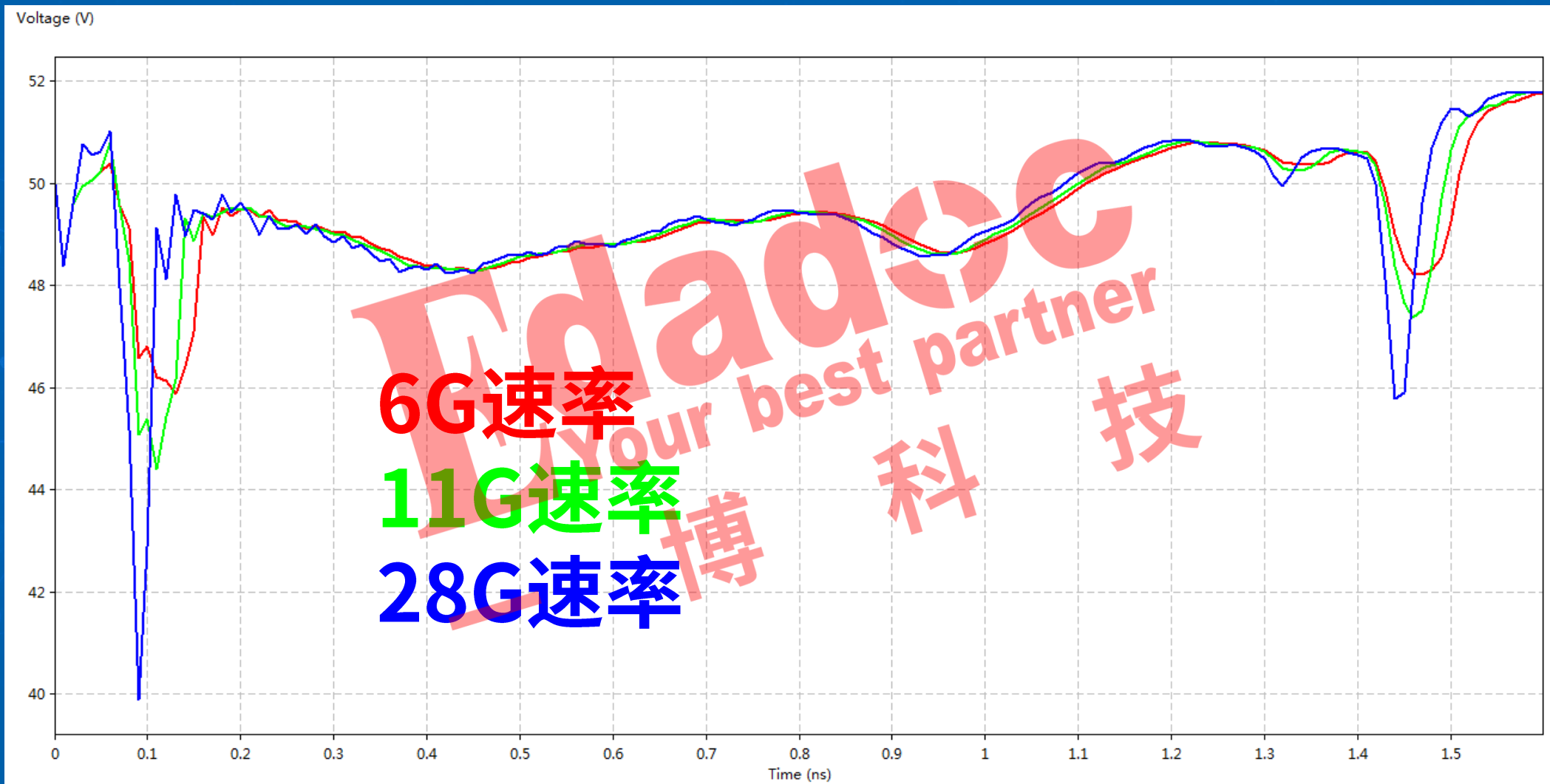
• 11G 光模块协议规定最小上升时间为24ps，它感受到的阻抗是……



- 28G 光模块协议规定最小上升时间为8ps, 它感受到的阻抗是……



- 不同速率下感受到的阻抗就是不一样的……



- 走线层的DK? DF?

吴工好,

想请教您一个问题, 在PCB仿真时, 走线层的Dk和Df一般分别设置为多少呢, 1和0吗?

请您有空帮忙回复答疑一下, 谢谢!

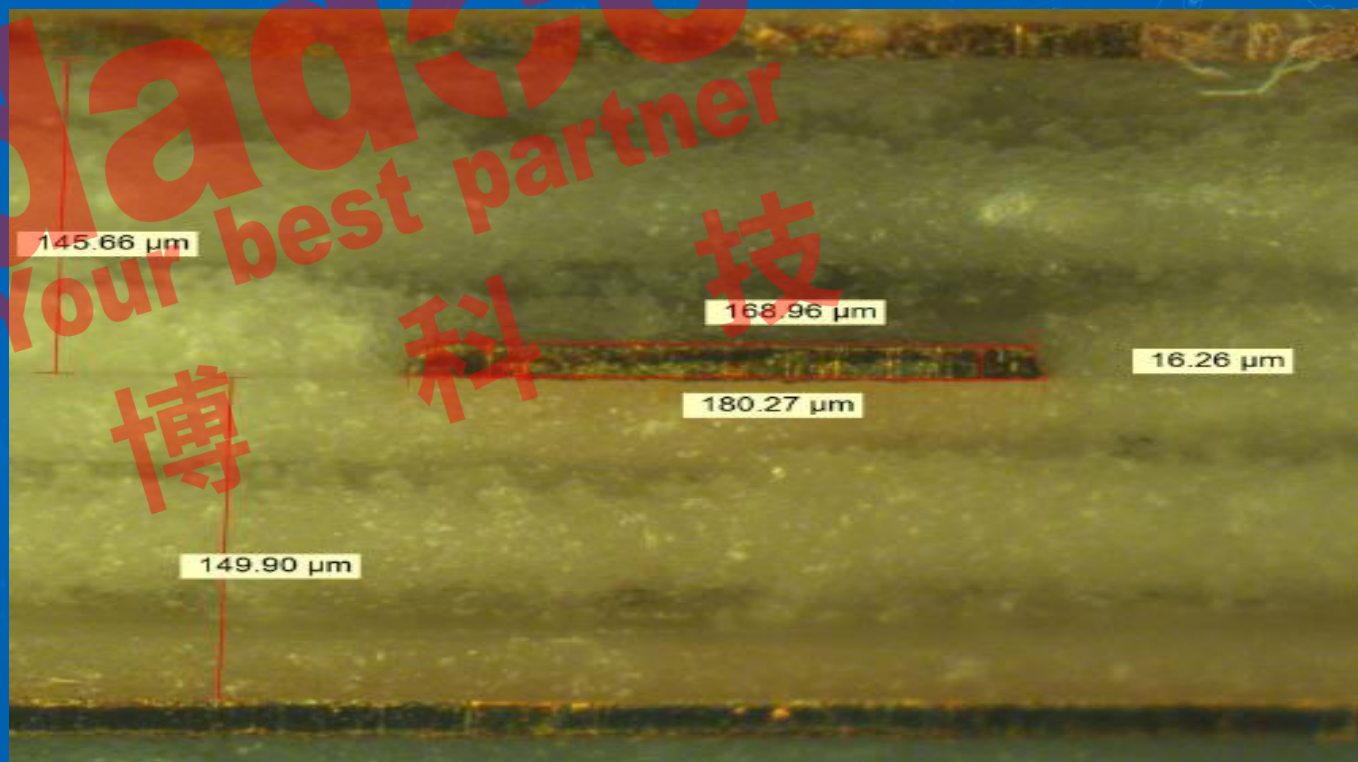
	Subclass Name	Type	Thickness (MM)	Dielectric Constant	Loss Tangent
1		SURFACE		1	0
2	TOP	CONDUCTOR	0.03	1	0
3		DIELECTRIC	0.243	3.4	0.005



## 某块板的切片数据



- 上表面6.7mil
- 下表面7.2mil
- L8-L9距离6mil
- L8-L7距离5.8mil



• 板材为IT988GSE

Silkscreen Color:	<input checked="" type="checkbox"/> White	<input type="checkbox"/> Yellow	<input type="checkbox"/> Black
Soldermask Color:	<input checked="" type="checkbox"/> Green	<input type="checkbox"/> Blue	<input type="checkbox"/> Red
Surface Finished	<input type="checkbox"/> HASL( Sn/Pb )	<input type="checkbox"/> HASL( Pb-Free )	<input checked="" type="checkbox"/> Immersi
	<input type="checkbox"/> OSP	<input type="checkbox"/> ImAg	<input type="checkbox"/> ImSn
	<input type="checkbox"/> Golden Finger ,Others HASL( Pb-Free )	<input type="checkbox"/> Golden	
	<input type="checkbox"/> Golden Finger ,Others HASL( Sn/Pb )	<input type="checkbox"/> Golden	
Dielectric Material:	<input checked="" type="checkbox"/> IT988GSE	<input type="checkbox"/> Other	
Tg:	<input type="checkbox"/> Default	<input type="checkbox"/> Mid-Tg 150°C	<input checked="" type="checkbox"/> Hi-Tg 1
	If the stackup more than 8 layer(include 8 layer)		
Compare With IPC File:	<input checked="" type="checkbox"/> Yes	<input type="checkbox"/> No	
Short Net NO. [XX]	Short Net Name: xxxxx		

Line-up数据

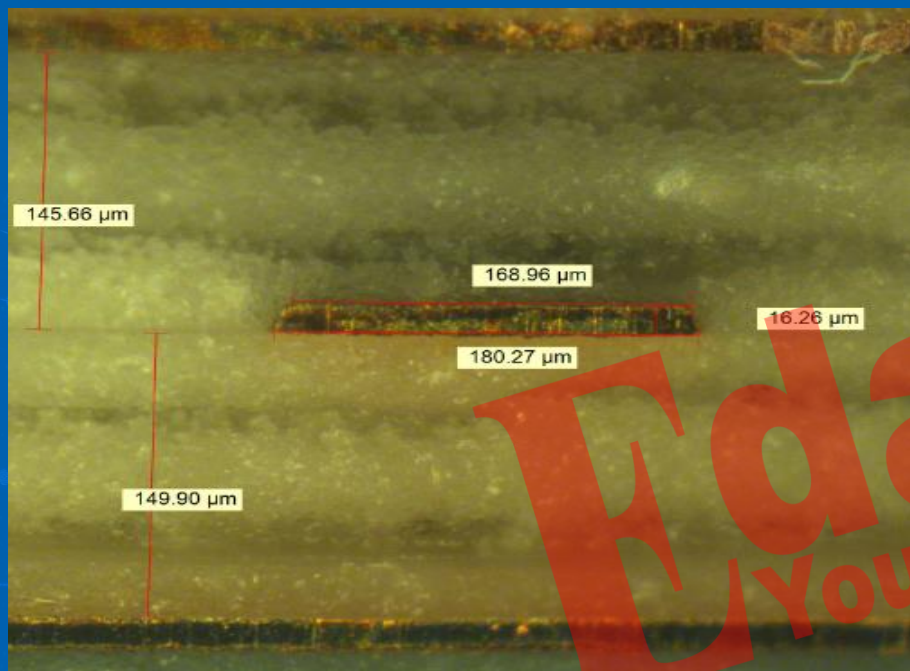
铜层的DK、DF应该怎么设置？

Core IT-988GSETC				Dk					
Laminate				Dk					
Imperial units Thickness (in)	Metric system Thickness (mm)	Standard Constructions	Resin Content (%)	1 GHz	2 GHz	5 GHz	10 GHz	15 GHz	20 GHz
0.0020	0.052	1035 X 1	68%	3.19	3.19	3.19	3.18	3.18	3.18
0.0025	0.064	1078 X 1	61%	3.25	3.25	3.25	3.25	3.25	3.25
0.0030	0.076	1078 X 1	66%	3.20	3.20	3.20	3.20	3.20	3.20
0.0035	0.089	1078 X 1	70%	3.16	3.16	3.16	3.16	3.16	3.16
0.0040	0.102	3313 X 1	59%	3.26	3.26	3.26	3.26	3.26	3.26
0.0040	0.102	1035 X 2	68%	3.19	3.19	3.19	3.18	3.18	3.18
0.0045	0.114	3313 X 1	64%	3.23	3.23	3.23	3.22	3.22	3.22
0.0050	0.127	1078 X 2	61%	3.25	3.25	3.25	3.25	3.25	3.25
0.0050	0.127	2116 X 1	57%	3.28	3.28	3.28	3.28	3.28	3.28
0.0060	0.151	1078 X 2	66%	3.20	3.20	3.20	3.20	3.20	3.20
0.0070	0.177	1078 X 2	70%	3.16	3.16	3.16	3.16	3.16	3.16
0.0080	0.203	3313 X 2	59%	3.26	3.26	3.26	3.26	3.26	3.26

Prepreg IT-988GSEBS			Dk							
Laminated Prepreg			Dk							
Prepreg Type	Thickness (mil)	Resin Content (%)	1 GHz	2 GHz	5 GHz	10 GHz	15 GHz	20 GHz	1 GHz	20 GHz
1027	1.4	70%	3.16	3.16	3.16	3.16	3.16	3.16	0.0014	0.0013
	1.6	73%	3.14	3.14	3.14	3.14	3.14	3.14	0.0013	0.0013
	2.1	78%	3.10	3.10	3.10	3.10	3.10	3.10	0.0013	0.0013
1035	2.4	72%	3.15	3.15	3.15	3.15	3.15	3.15	0.0014	0.0013
	2.7	75%	3.12	3.12	3.12	3.12	3.12	3.12	0.0013	0.0013
106	2.9	77%	3.11	3.11	3.11	3.11	3.11	3.11	0.0013	0.0013
	1.9	72%	3.15	3.15	3.15	3.15	3.15	3.15	0.0014	0.0013
1078	2.3	76%	3.12	3.12	3.12	3.11	3.11	3.11	0.0013	0.0013
	3.0	66%	3.20	3.20	3.20	3.20	3.20	3.20	0.0014	0.0013
	3.5	70%	3.16	3.16	3.16	3.16	3.16	3.16	0.0014	0.0013
	4.0	73%	3.14	3.14	3.14	3.14	3.14	3.14	0.0013	0.0013
	4.6	76%	3.12	3.12	3.12	3.11	3.11	3.11	0.0013	0.0013

• 传统阻抗计算方法



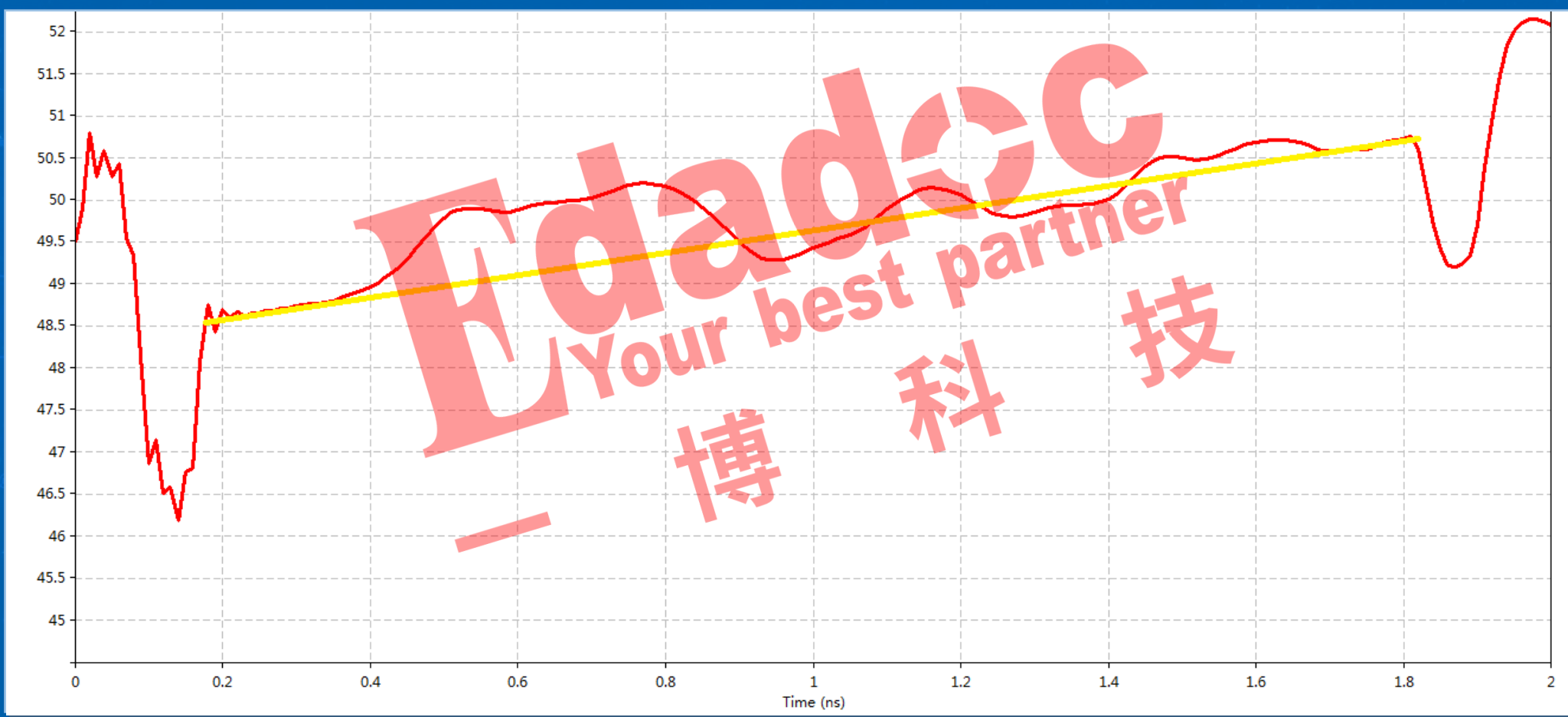
**Offset Stripline 1B1A**

Substrate 1 Height	H1	149.9000
Substrate 1 Dielectric	Er1	3.2000
Substrate 2 Height	H2	161.9200
Substrate 2 Dielectric	Er2	3.2000
Lower Trace Width	W1	180.2700
Upper Trace Width	W2	168.9600
Trace Thickness	T1	16.2600
Impedance	Zo	47.21

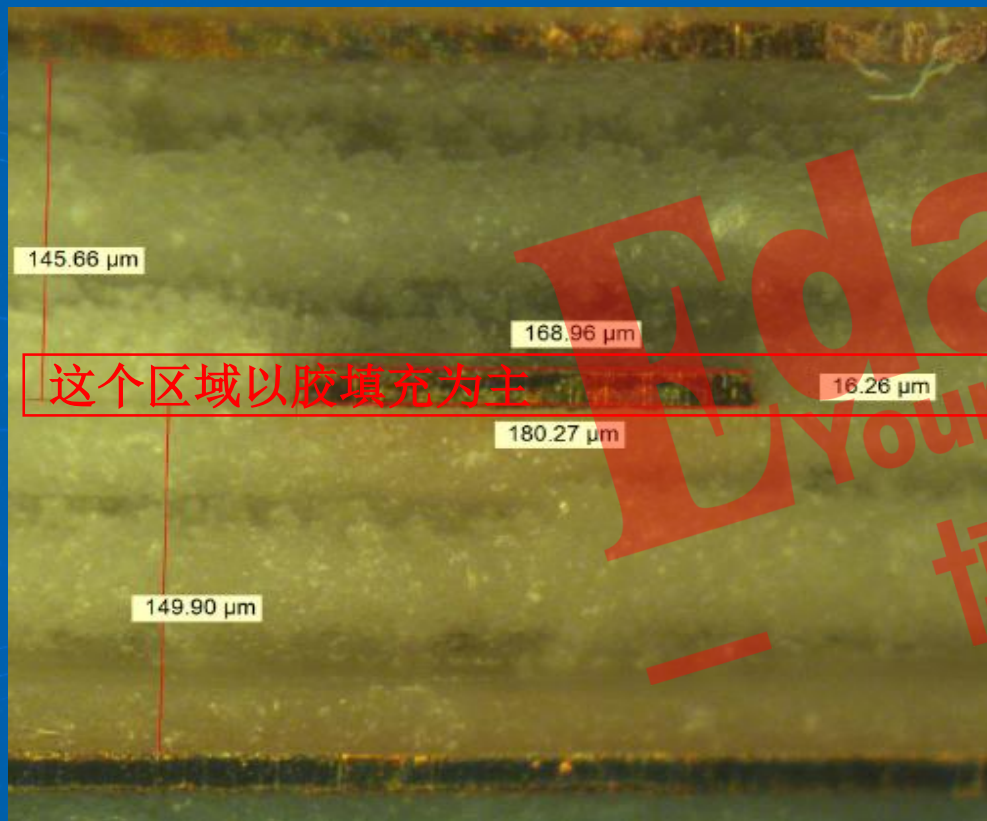
www.polarinstruments.com

Edadoc  
Your best partner  
一博科技

- 阻抗测试结果
- 测试结果在48.5欧姆左右，和传统方法计算差了1.5欧姆左右



- 新阻抗计算方法
- 考虑到同层的流胶影响，胶的DK在1.8到2.2之间，再次计算下，能计算到和测试阻抗非常接近。

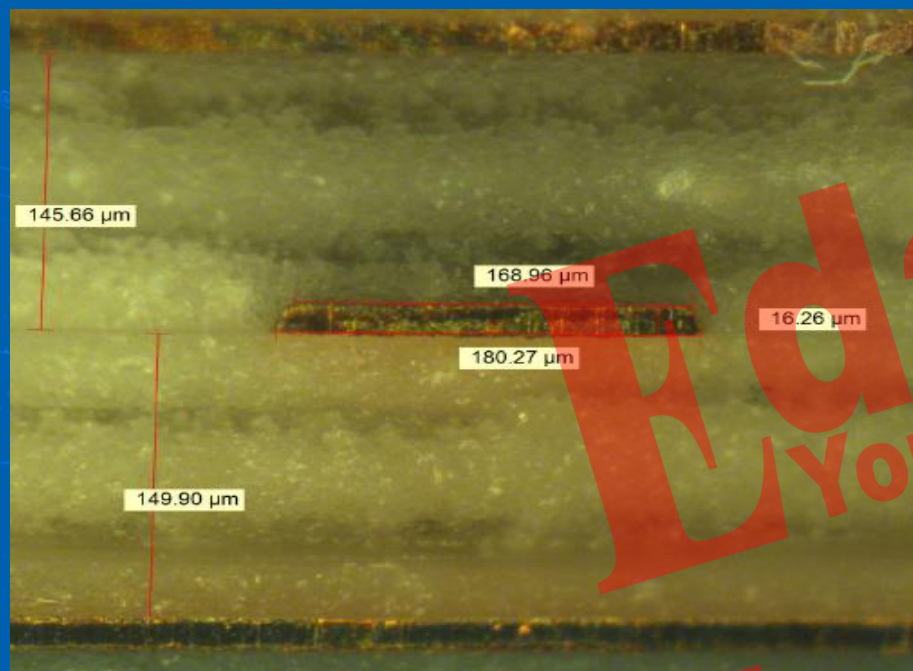


Offset Stripline 1B2A

Substrate 1 Height	H1	149.9000
Substrate 1 Dielectric	Er1	3.2000
Substrate 2 Height	H2	17.2600
Substrate 2 Dielectric	Er2	1.8000
Substrate 3 Height	H3	145.6600
Substrate 3 Dielectric	Er3	3.2000
Lower Trace Width	W1	180.2700
Upper Trace Width	W2	168.9600
Trace Thickness	T1	16.2600
Impedance	Zo	48.49

Notes: (First 5 lines will print)

- 板厂减DK的方法
- 而板厂一般采用减DK的方法来比较，减0.2到0.3，计算也是比较一致的



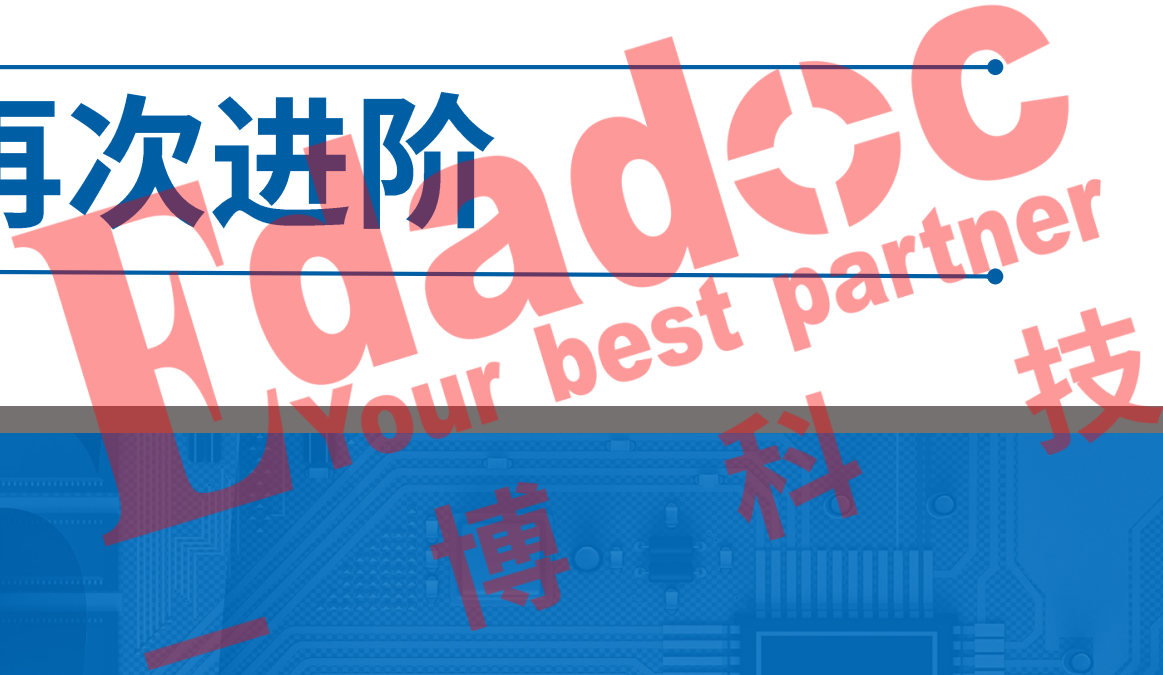
Offset Stripline 1B1A

Substrate 1 Height	H1	149.9000
Substrate 1 Dielectric	Er1	3.0000
Substrate 2 Height	H2	161.9200
Substrate 2 Dielectric	Er2	3.0000
Lower Trace Width	W1	180.2700
Upper Trace Width	W2	168.9600
Trace Thickness	T1	16.2600
Impedance	Zo	48.76

www.polarinstruments.com

## PART 03

# 阻抗的再次进阶





# 松香残留，影响阻抗吗？

2021年12月22日

18:20:35  
bruce, 连接器管脚上有比较多的松香残留, 是否会影响高速信号质量? 这个问题能通过仿真验证一下吗?



18:22:38  
高速连接器焊接, 400pcs都是这么黑乎乎的, 客户担心对信号质量有影响

18:24:07  
这种情况是否可以通过测试, 得到松香残留对阻抗产生的影响?

18:24:36  
蓝风  
不知道松香的参数

18:24:42  
不是通过仿真验证, 是通过测试验证

18:25:02  
蓝风  
多高速率

2021年12月22日

18:30:23  
雁过无痕@struggling(黄刚)  
现在去实验室看看松香的影响

18:30:32  
雁过无痕@struggling(黄刚)  
找个dut测下

19:05:36  
雁过无痕@struggling(黄刚)



19:10:41  
蓝风  
影响还是挺大 🤔

19:10:48  
蓝风  
阻抗变了多少?

19:11:05  
雁过无痕@struggling(黄刚)  
差不多10欧姆 🤔🤔

19:11:28  
蓝风  
应该可以反推DK

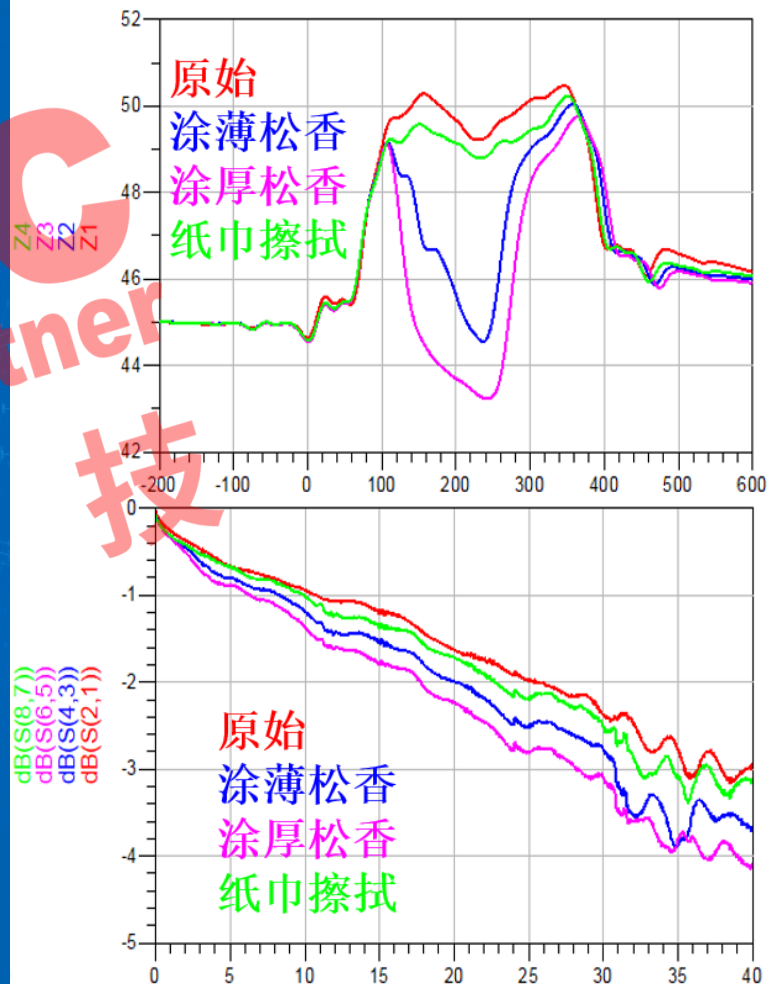
19:12:31  
雁过无痕@struggling(黄刚)  
不容易, 跟你涂的厚和薄有关系

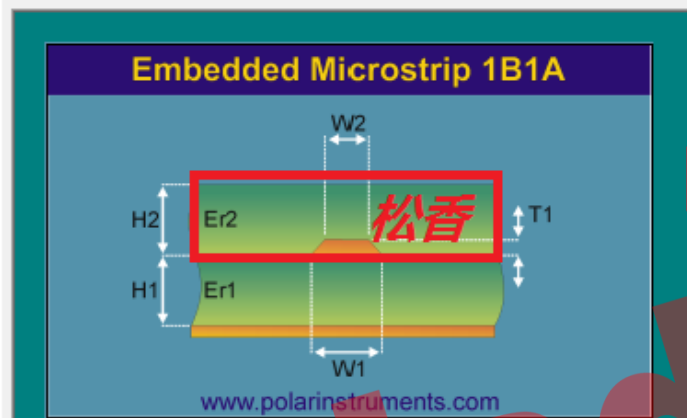
松香的影响

黄刚 <huanggang> <huanggang-sz@pcb>  
收件人: bruce; 周伟

松香的影响.ppt  
4 MB

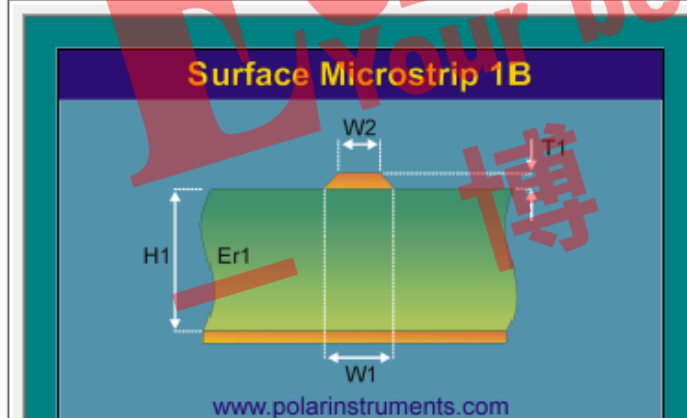
这是昨晚临时做的一些松香的实验结果。





Substrate 1 Height	H1	3.2000
Substrate 1 Dielectric	Er1	3.4000
Substrate 2 Height	H2	100.0000
Substrate 2 Dielectric	Er2	3.5000
Lower Trace Width	W1	6.5000
Upper Trace Width	W2	5.5000
Trace Thickness	T1	1.6000
Impedance	Zo	42.94

涂松香



Substrate 1 Height	H1	3.2000
Substrate 1 Dielectric	Er1	3.4000
Lower Trace Width	W1	6.5000
Upper Trace Width	W2	5.5000
Trace Thickness	T1	1.6000
Impedance	Zo	50.08

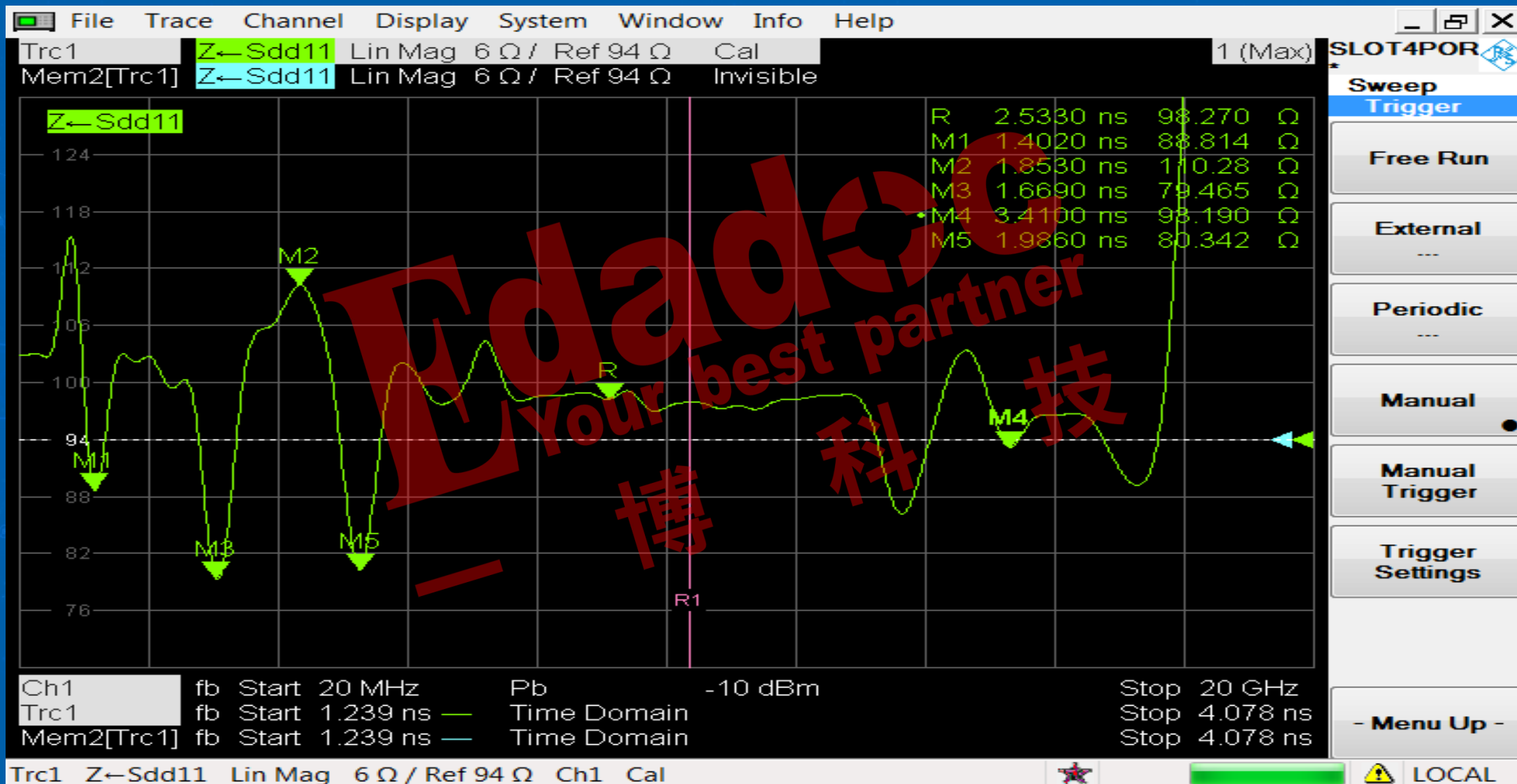
原始

## PART 04

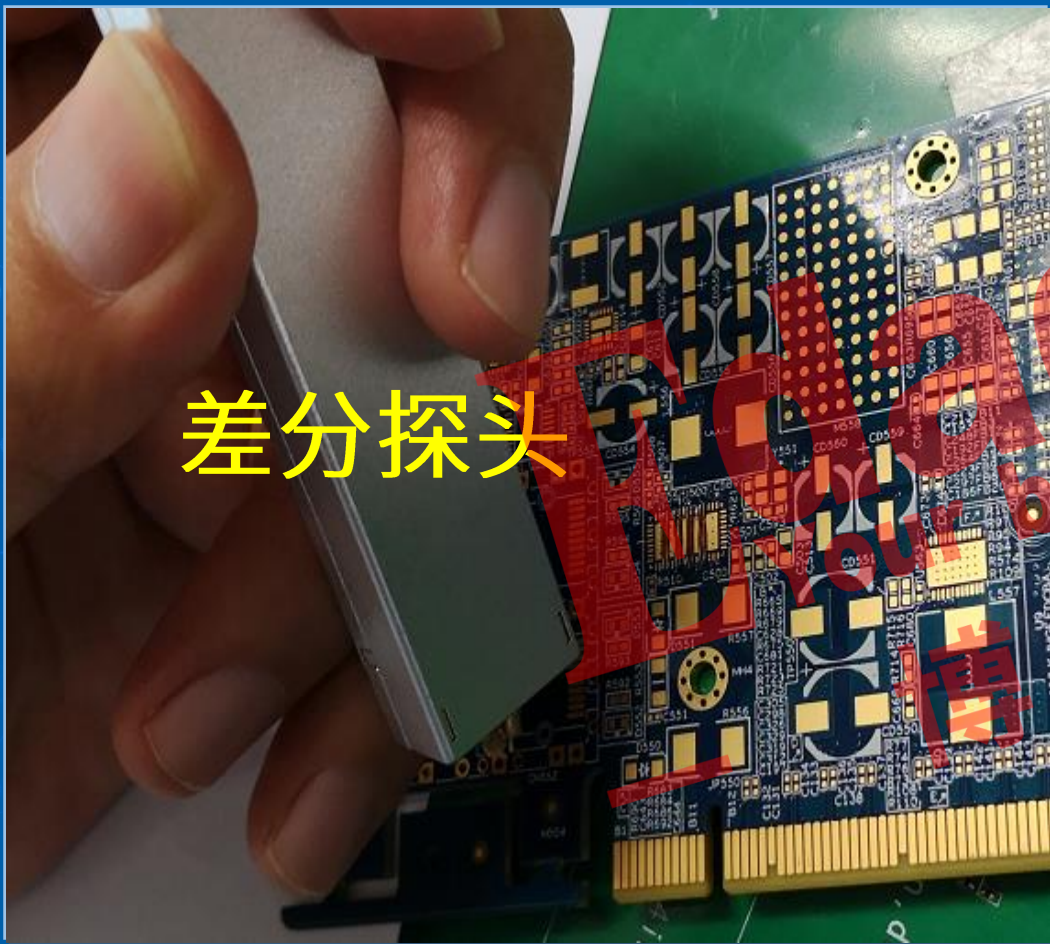
# 原来都是阻抗问题



# 某子卡+背板+子卡项目 10G高速信号通道TDR阻抗测试结果



通过探针测试TDR



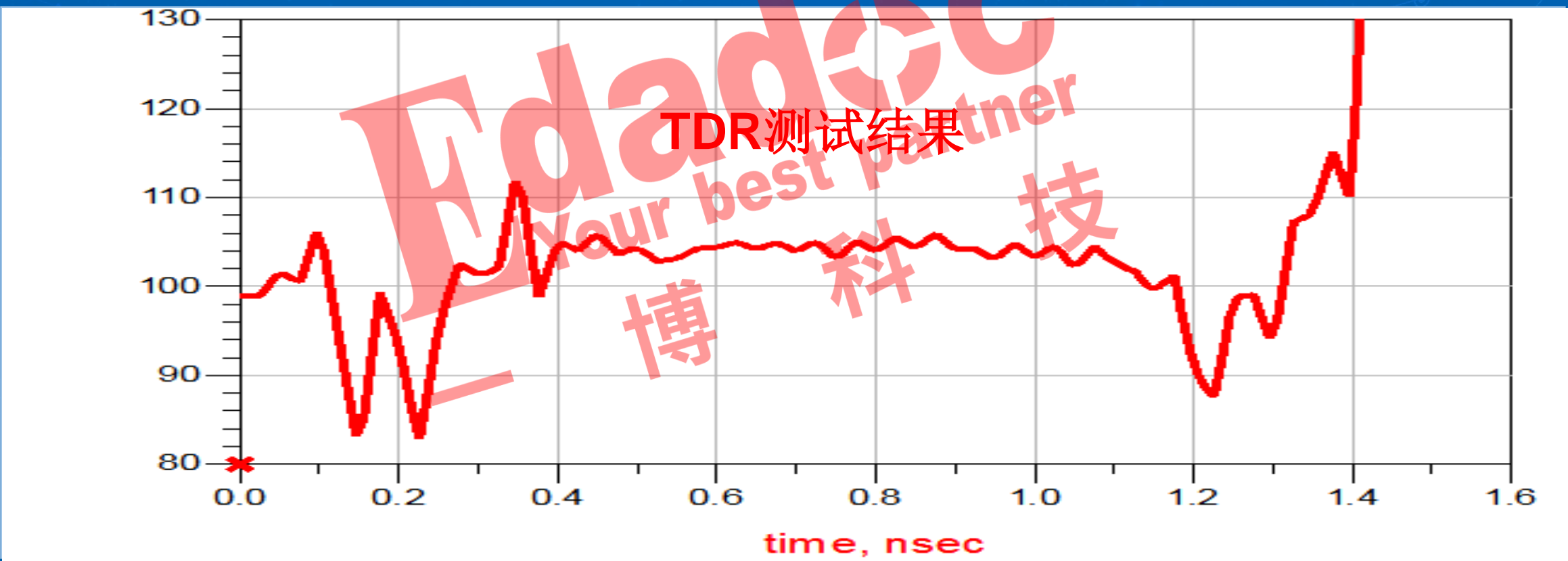
差分探头



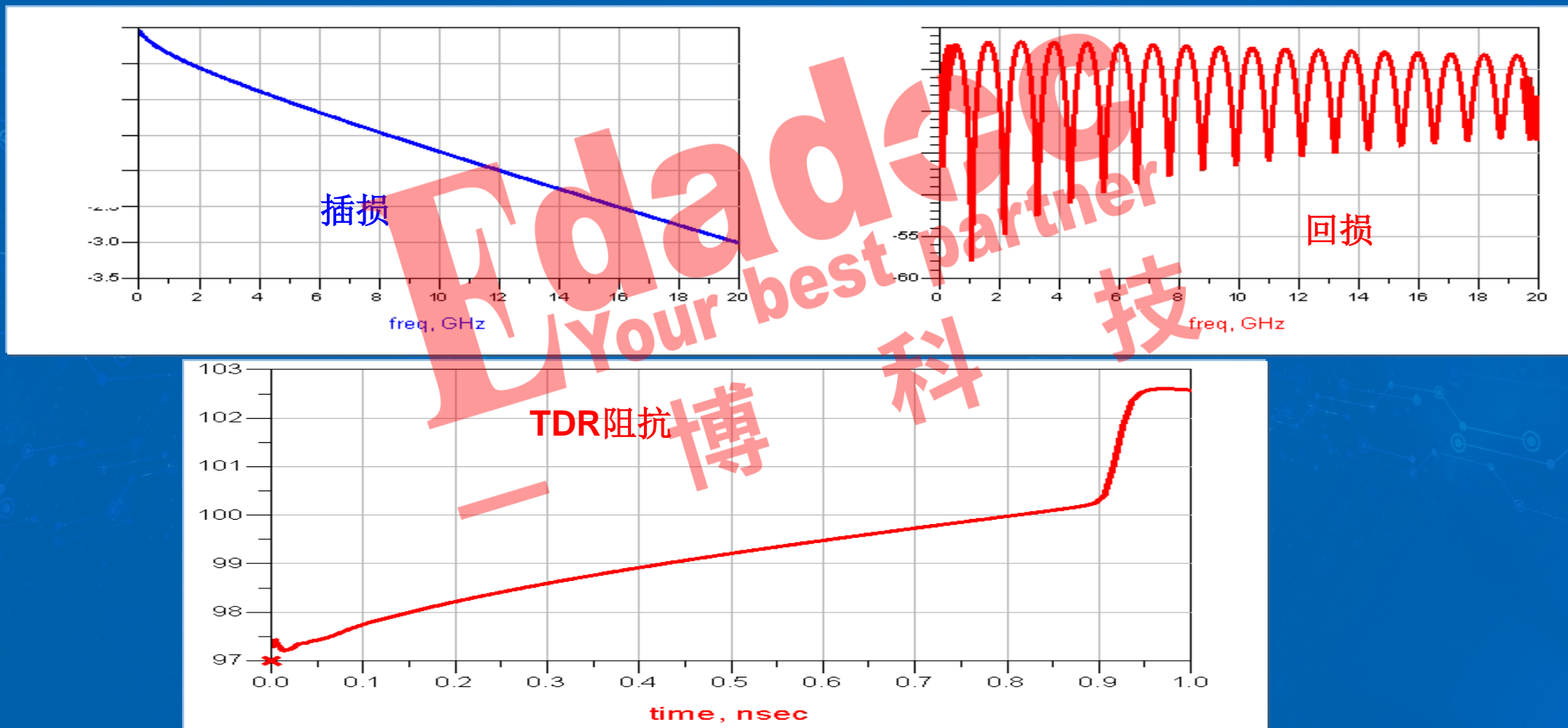
单端探头

# 能不能通过测试的TDR推导出链路的S参数

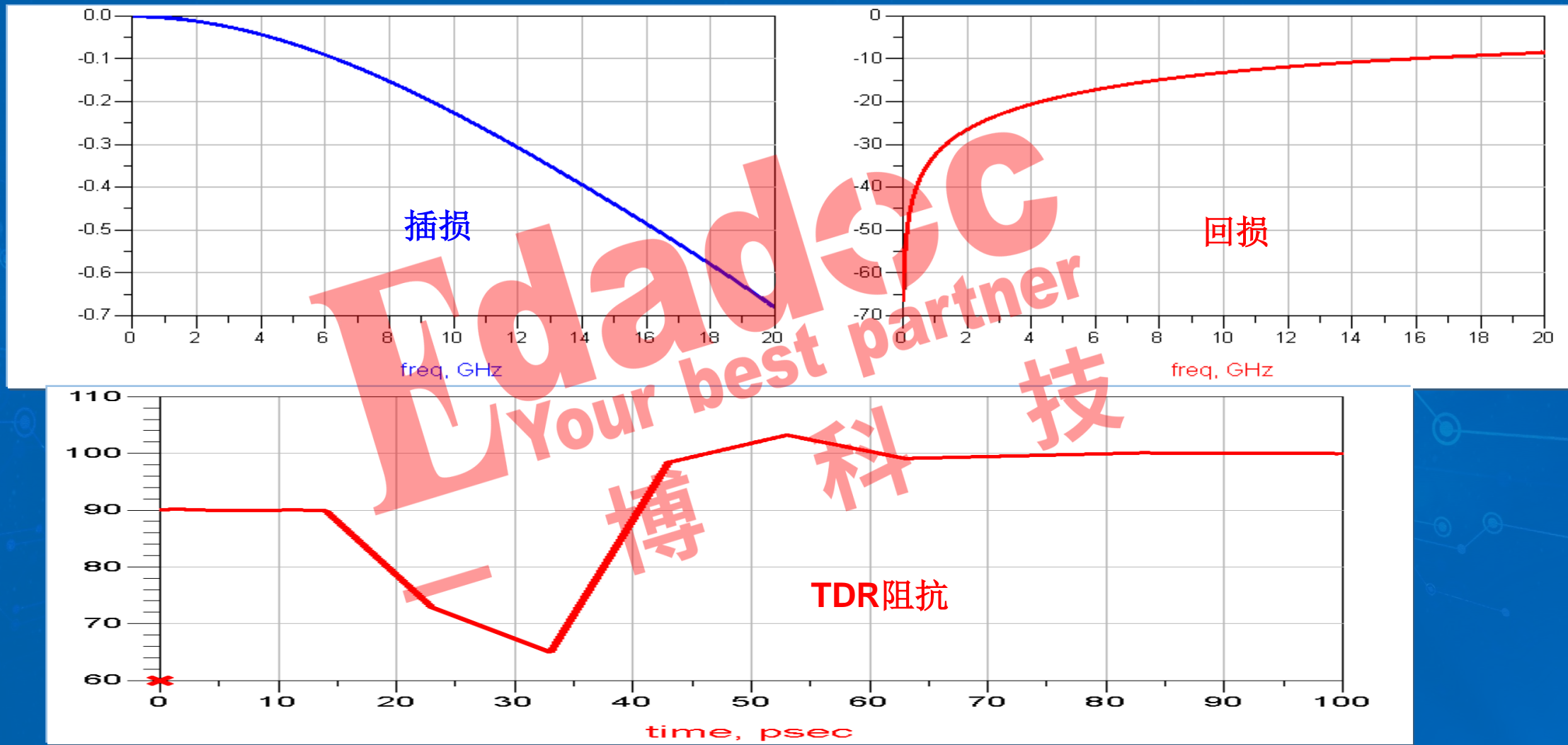
阻抗反推S参数拟合案例



- 走线仿真拟合
- 走线---叠层，传输线结构
- 参数包括：DK, DF, 线宽W, 线长L

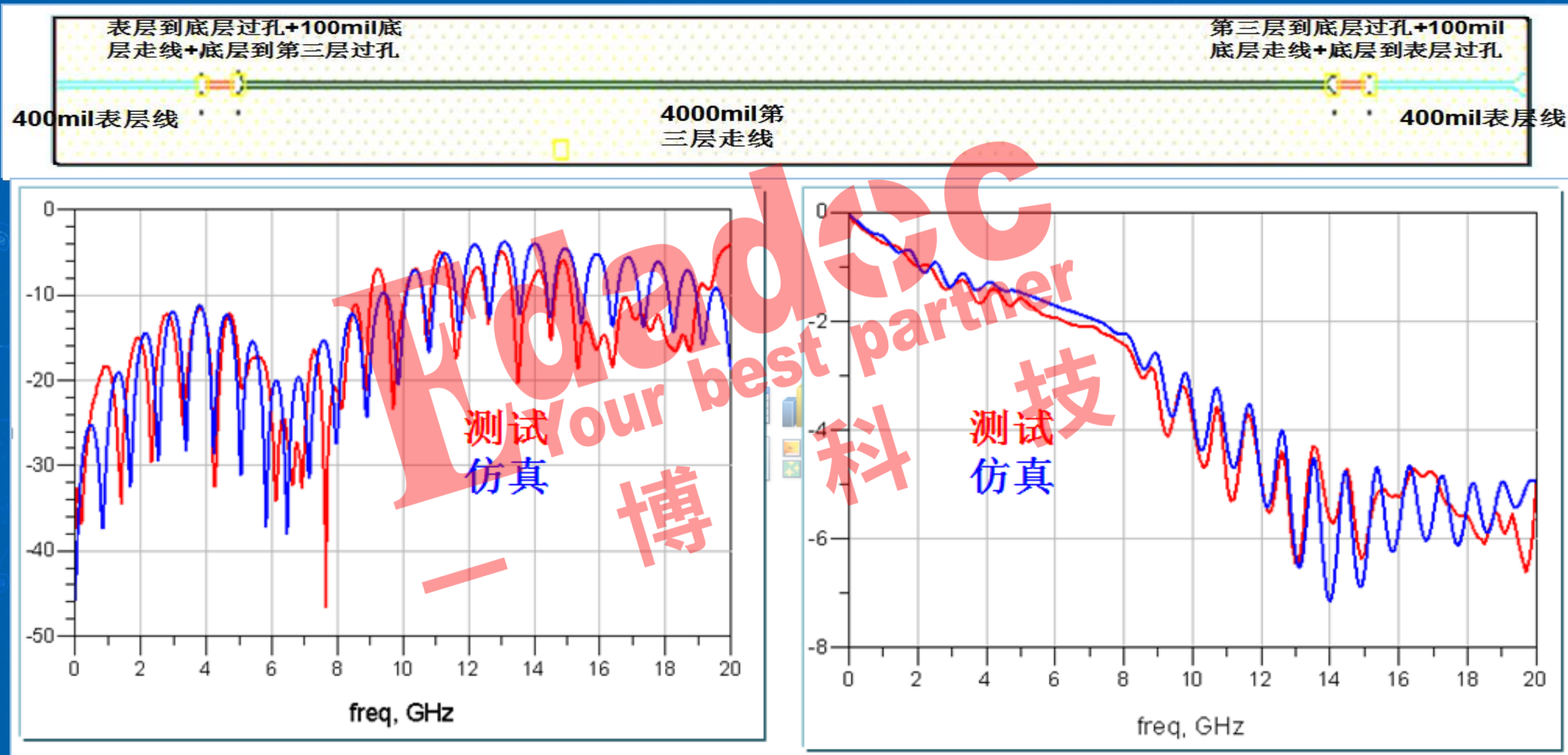


过孔仿真拟合

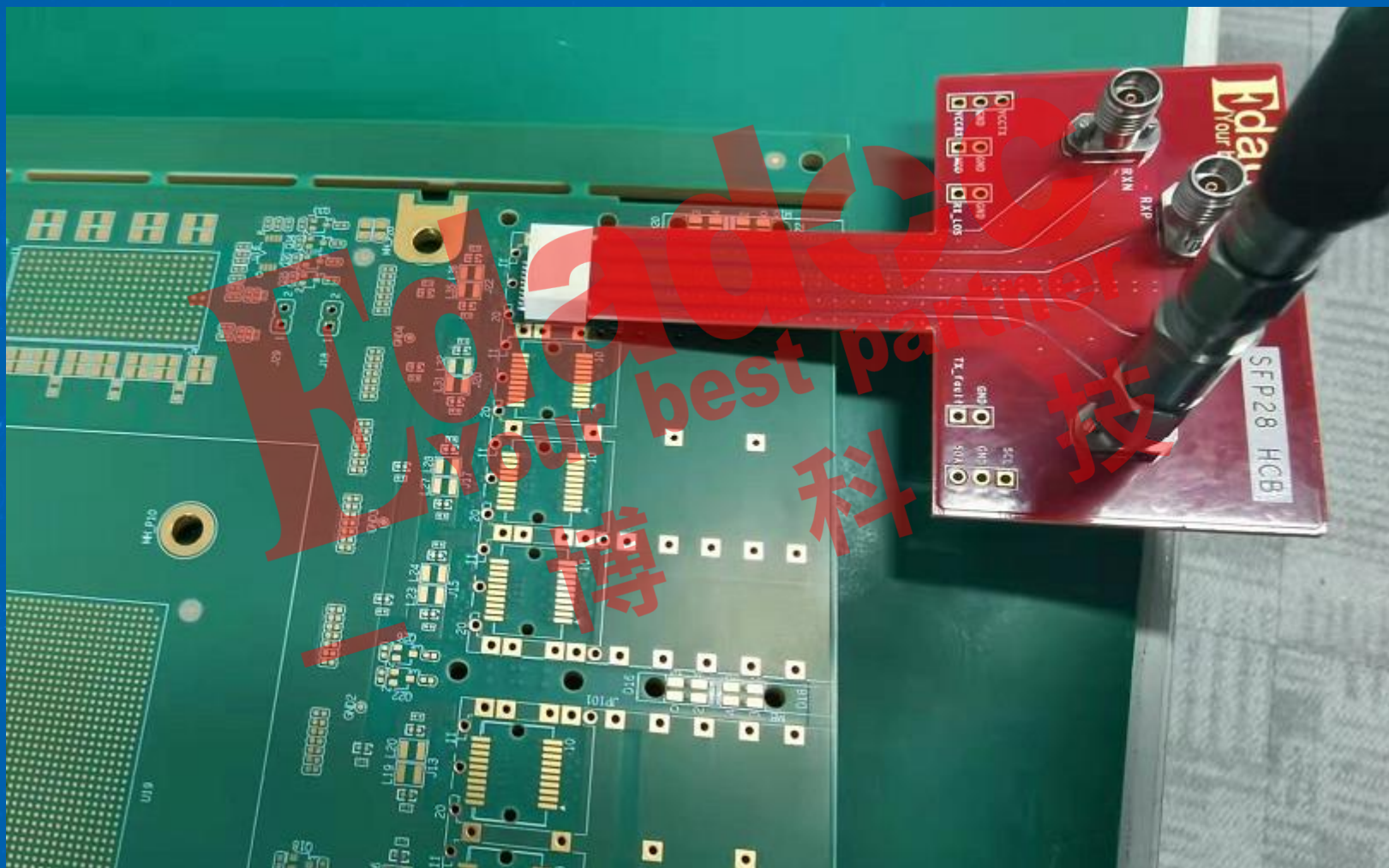




# 全链路拟合



- 某项目SFP28光模块运行时有误码
- 利用HCB夹具进行链路的阻抗测试



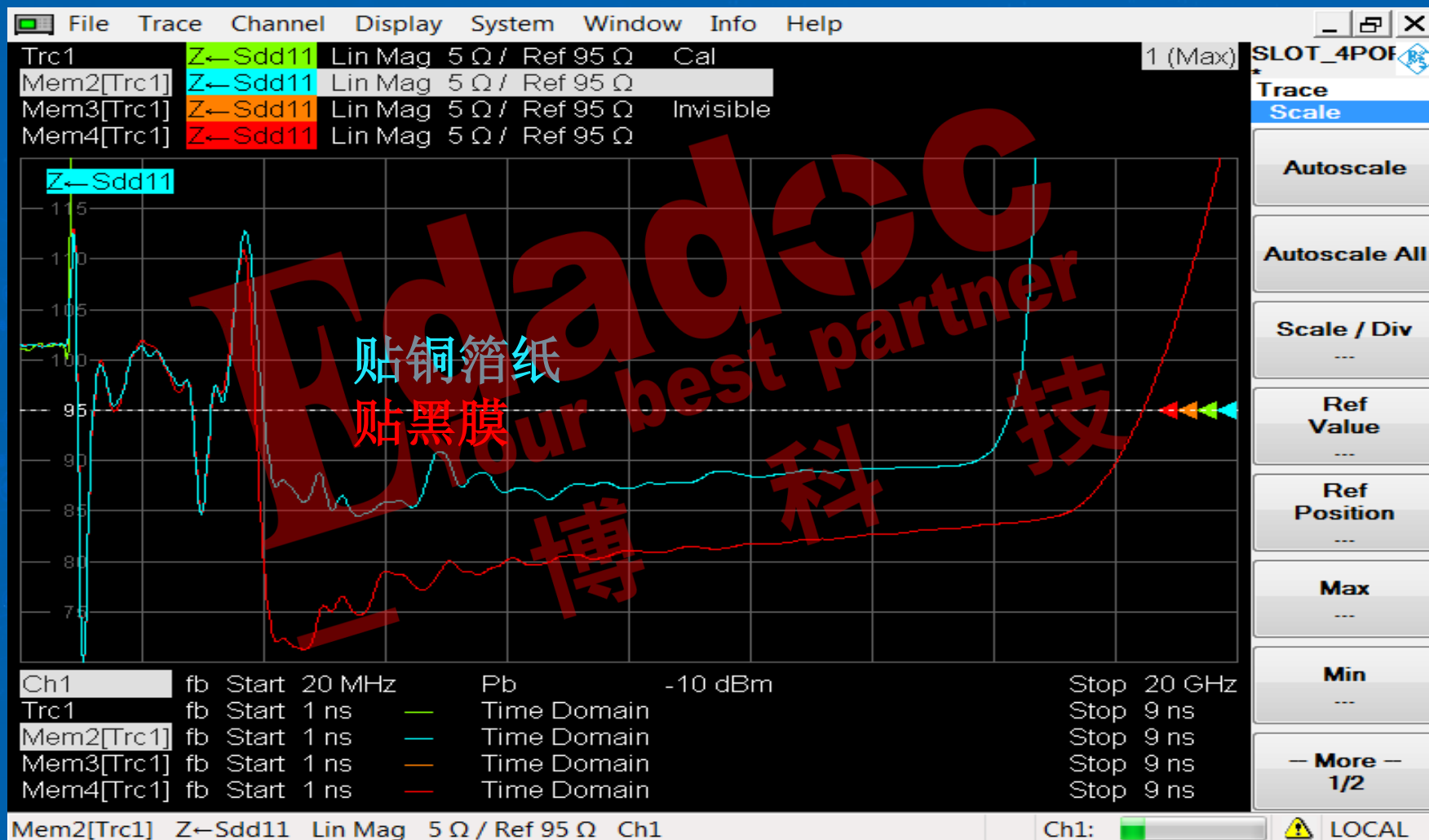
- 某项目SFP28光模块运行时有误码
- 与我们的HCB+MCB的夹具组合对比，发现客户使用的光模块连接器本身阻抗有问题，另外连接器焊盘位置也比较差



- FPC软板，上面传输480Mbps的信号，阻抗控制90欧姆。
- 同一款软板，一个表层贴铜箔纸，一个贴黑膜，测试时发现贴黑膜的不能达到480Mbps运行速率，贴铜箔纸的能达到。



- FPC软板，上面传输480Mbps的信号
- 阻抗测试：阻抗差异很大，贴黑膜的只有75欧姆，贴铜箔纸的达到85欧姆以上



THANK YOU!

谢谢观看!



更多干货请扫码关注高速先生

EDADOC, Your Best Partner !

深圳市一博科技股份有限公司