

高速设计经典案例

详解2023



目录 CONTENTS

Part 01

Stub，兹事体大

Part 02

你还在“过”设计吗？

Part 03

测试回沟的那些坑

Part 04

PCB设计不是连连看

Part 05

SI的春天来了

1

你还是在“过”设计吗？

什么是“过”设计？

- 过设计就是没有恰到好处，投入了更多的人力、物力甚至财力
- 常见后果：
 - 1、没有什么影响
 - 2、费力不讨好，过犹不及
 - 3、直接导致失败



那些年我们见过的”过”设计

- 10Gbps信号对内等长偏差 $\pm 0.5\text{mil}$
- PCIE3对间等长控制在100mil内
- DDR3 DQ组内控制 $\pm 5\text{mil}$
- 电容、金手指盘参考全挖空
- 过孔反焊盘越大越好
- 所有时钟信号包地处理
- 10Gbps以上信号必用高速板材
- 高速信号损耗越小越好，越短越好
- 、 、 、 、 、 、

发件人： [REDACTED]

发送时间：2019-01-21 11:00

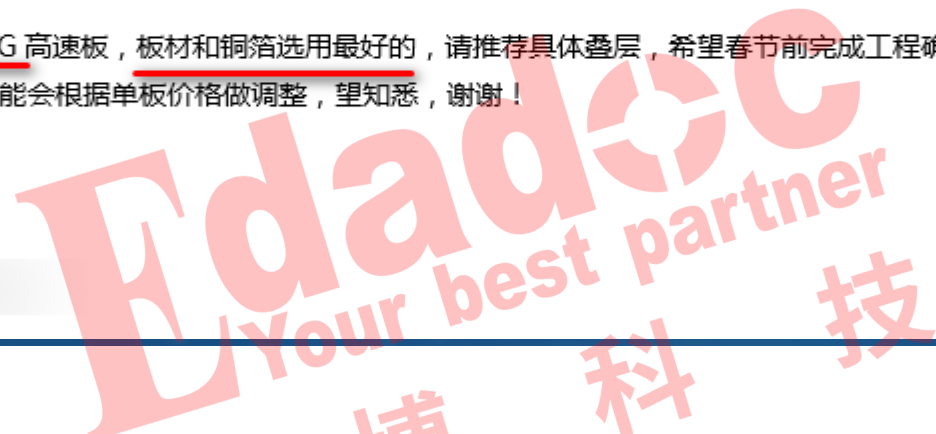
收件人： [REDACTED]

主题：制板

您好：

附件是制板文件，该板是 28G 高速板，板材和铜箔选用最好的，请推荐具体叠层，希望春节前完成工程确认，并安排备料，请尽快安排，谢谢。板卡数量暂定 2 块，可能会根据单板价格做调整，望知悉，谢谢！

顺祝商祺！



[REDACTED]

帮忙评审一下这板子的板材，这个板子右边是两路sfp+光口，客户想用M6的板材，由于线比较短，我这边评估的可以用fr4的板材FR4板材，走线是否有最短走线要求，我这边是否需要绕长？

- 1、USB3过设计案例
- 2、10G光口信号超短案例

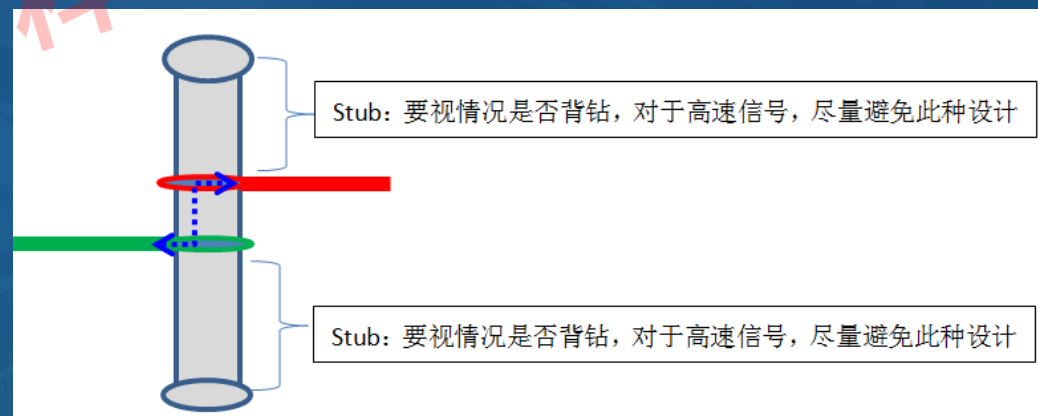
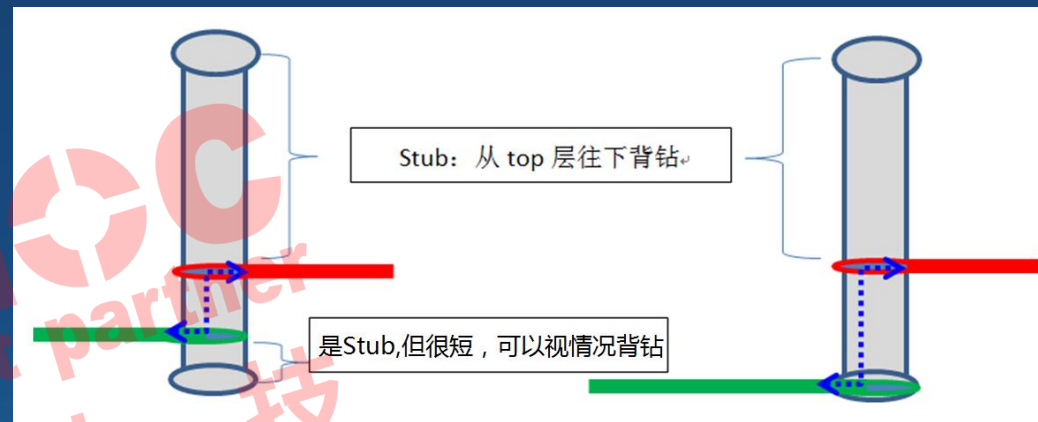
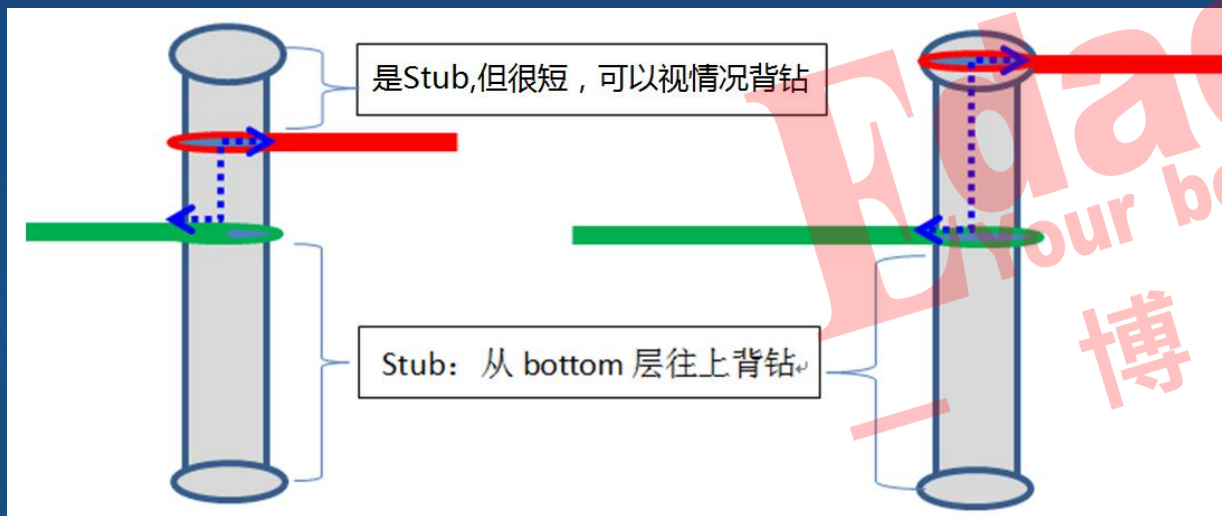
Edadoc
Your best partner
一博科技

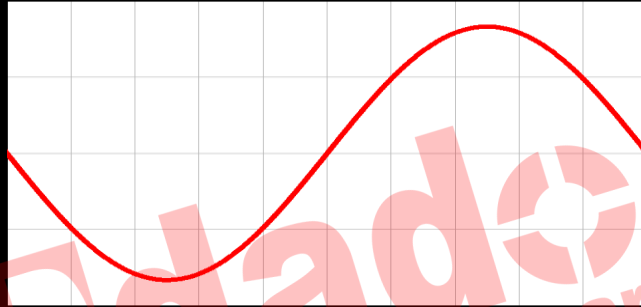
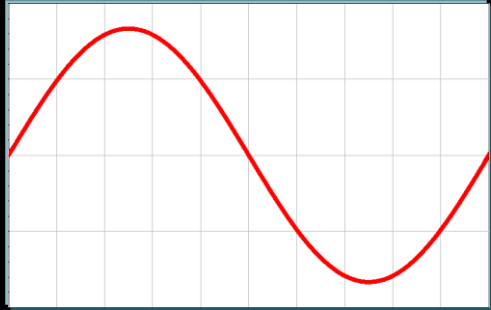
2

Stub, 兹事体大

什么是stub?

- 只要不是信号的有效路径（意味着不走这条路），就是stub





$\lambda/4$

高速信号过孔Stub的危害

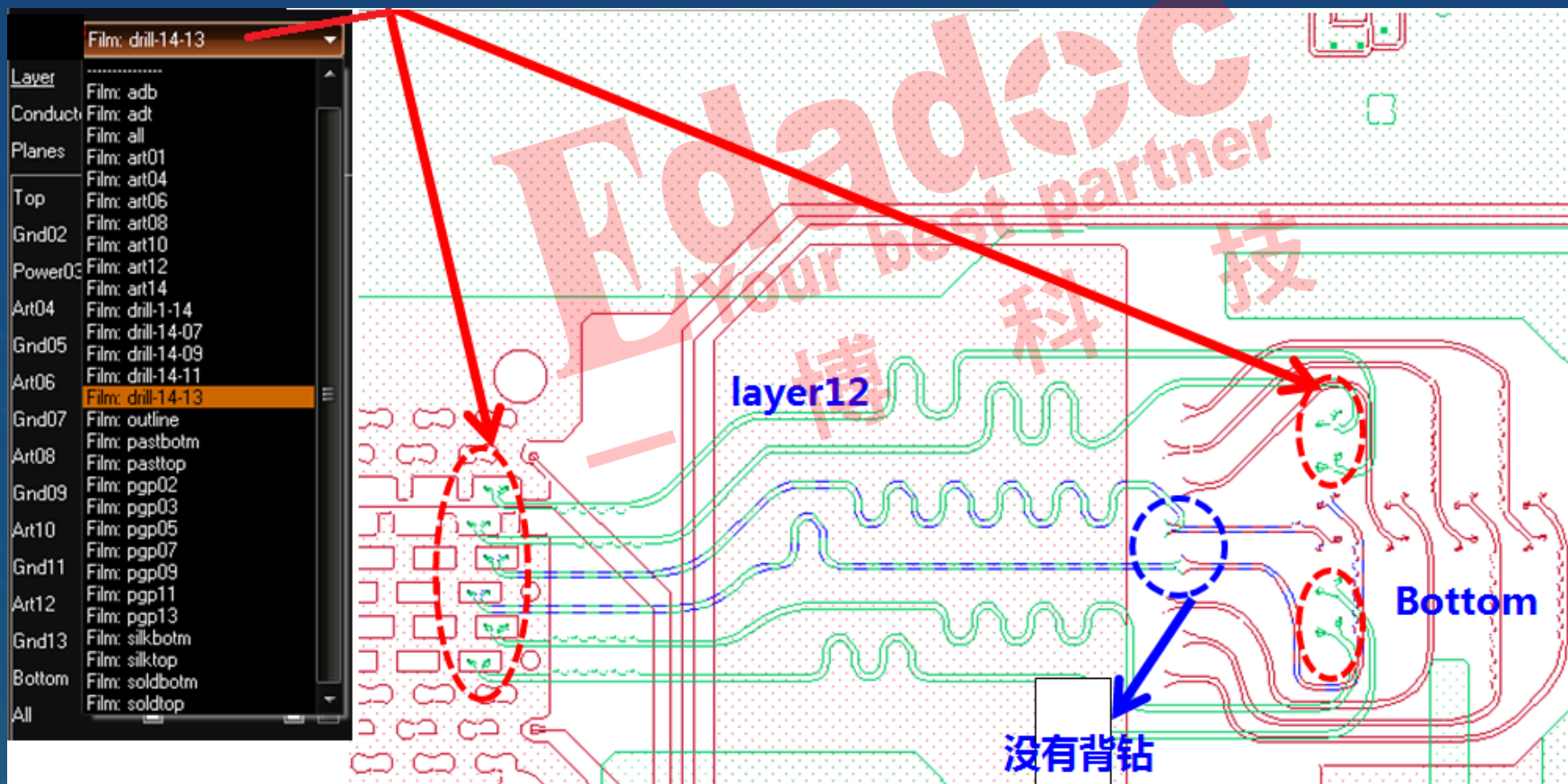
- 1、过孔阻抗偏低，阻抗不连续，反射严重，回损不达标
- 2、插损曲线谐振点，加大损耗

不起眼的过孔Stub,有时往往成为压死骆驼的最后一根稻草，尤其是对于25Gbps以上的信号。



最容易出问题的情况

- 1、漏背钻，没有背钻说明
- 2、只知道从底部钻，忽略从Top往下钻的情况



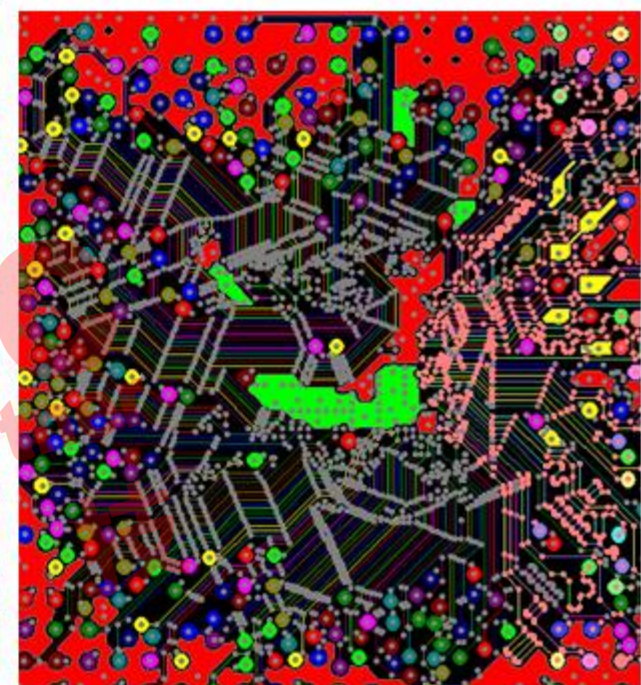
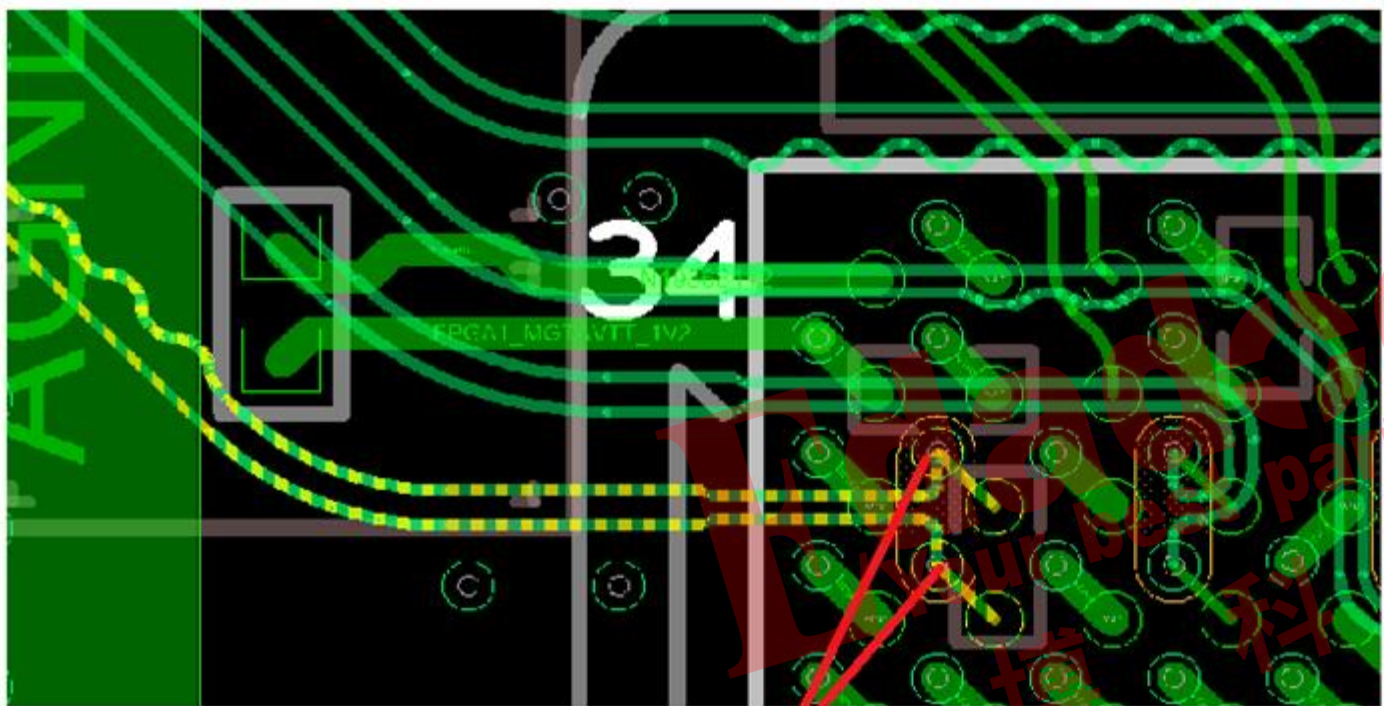
- 1、25G信号漏背钻案例
- 2、SAS3读取误码案例
- 3、测试板过孔stub案例



3

测试回沟的那些坑

- 测试结果与示波器、探头带宽有关；
- 测试结果受测试环境、测试人员的经验水平有关；
- 测试结果与测试点的位置有关；只能测试到pin上，没法在芯片内部测试；
- 一些双面贴的信号，测试无从下手



package走线



CPU1						
V11	IOB_X0Y42	IO_L4P_T0_13	201.669	203.696	cpu1_BLVSD-RX1	CPU1/2-BLVDS-RX1_P 长2228.61 MIL 宽4.5MIL 差分间距
W11	IOB_X0Y41	IO_L4N_T0_13	187.023	188.903		CPU1/2-BLVDS-RX1_N 长2229.91 MIL 宽4.5MIL 差分间距
W17	IOB_X0Y2	IO_L24P_T3_13	44.249	44.694	CPU1_BLVDS-RX2	CPU1/2-BLVDS-RX2_P 长2296.53 MIL 宽4.5MIL 差分间距
Y17	IOB_X0Y1	IO_L24N_T3_13	45.717	46.176		CPU1/2-BLVDS-RX2_N 长2292.63 MIL 宽4.5MIL 差分间距
U13	IOB_X0Y38	IO_L6P_T0_13	164.229	165.88	CPU2_BLVDS-TX2	
U14	IOB_X0Y37	IO_L6N_T0_VREF_13	166.084	167.753		
V15	IOB_X0Y46	IO_L2P_T0_13	189.54	191.445	CPU2_BLVDS-TX1	
W15	IOB_X0Y45	IO_L2N_T0_13	180.553	182.368		
CPU2						
G8	IOB_X1Y142	IO_L4P_T0_35	68.127	68.812	cpu1_BLVSD-RX1	
G7	IOB_X1Y141	IO_L4N_T0_35	66.267	66.933		
G6	IOB_X1Y138	IO_L6P_T0_35	48.937	49.429	CPU1_BLVDS-RX2	
F6	IOB_X1Y137	IO_L6N_T0_VREF_35	35.044	35.396		
H1	IOB_X1Y102	IO_L24P_T3_AD15P_35	54.05	54.593	CPU2_BLVDS-TX2	CPU1/2-BLVDS-TX2_P 长2035.22 MIL 宽4.5MIL 差分间距
G1	IOB_X1Y101	IO_L24N_T3_AD15N_35	65.704	66.364		CPU1/2-BLVDS-TX2_N 长2039.58 MIL 宽4.5MIL 差分间距

Additional Package Parameter Guidelines

The parameters in this section provide the necessary values for calculating timing budgets for PL clock transmitter and receiver data-valid windows.

Table 84: Package Skew

Symbol	Description	Device	Package	Value	Units
T _{PKGSKEW}	Package skew ⁽¹⁾	XC7Z010	CLG225	101	ps
			CLG400	155	ps
		XC7Z015	CLG485	182	ps
			CLG400	166	ps
		XC7Z020	CLG484	248	ps
			CLG225	101	ps
		XA7Z010	CLG400	155	ps
			CLG400	166	ps
		XA7Z020	CLG484	248	ps
			CL400	166	ps
		XQ7Z020	CL484	248	ps

Notes:

1. These values represent the worst-case skew between any two SelectIO resources in the package: shortest delay to longest delay from die pad to ball.
2. Package delay information is available for these device/package combinations. This information can be used to deskew the package.

- 1、时钟信号测试回沟仿真对比
- 2、DQS读测试回沟案例



4

PCB设计不是连连看



- 表层长距离走线要慎重
- 不同的绕线方式、蛇形线、45度角绕线、避免直角走线等
- 任意角度布线、Zig-Zag布线
- TX/RX分层布线
- 高速信号避免穿电源模块、电感、晶振等
- 不同信号的等长及阻抗要求
- 甚至EMC要求
- 、 、 、 、 、 、 、 、



- 1、高速信号走表层案例
- 2、PCIE2穿开关电源区域案例
- 3、25G光模块EMC案例



5

SI的春天来了

SI的春天真的已经来了

- 56Gbps信号的优化
- 3200Mbps DDR4信号一拖多、双Die等
- 芯片能力不足时的PCB设计
- 、 、 、 、 、 、 、 、

Edadoc
Your best partner
一博科技



- 1、DDR4模块仿真设计案例
- 2、芯片能力不足设计仿真案例
- 3、56G光口仿真案例



- 任何细微的因素都会影响到高速信号的品质
- 不借助仿真，有些设计已经寸步难行了
- SI的春天真的来了

Edadoc
Your best partner
一博科技

Thank YOU!

EDADOC, Your Best Partner!



EDADOC , Your Best Partner!